

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-359293
(P2002-359293A)

(43)公開日 平成14年12月13日 (2002.12.13)

(51) Int.Cl. ⁷	識別記号	F I	マークコード [*] (参考)
H 01 L 21/8238		H 01 L 21/205	5 F 0 4 5
21/205		27/08	3 2 1 C 5 F 0 4 8
27/092			3 2 1 B 5 F 1 4 0
29/78			3 2 1 D
		29/78	3 0 1 Q

審査請求 未請求 請求項の数24 OL (全 24 頁)

(21)出願番号 特願2001-165581(P2001-165581)

(22)出願日 平成13年5月31日 (2001.5.31)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 百瀬 寿代
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

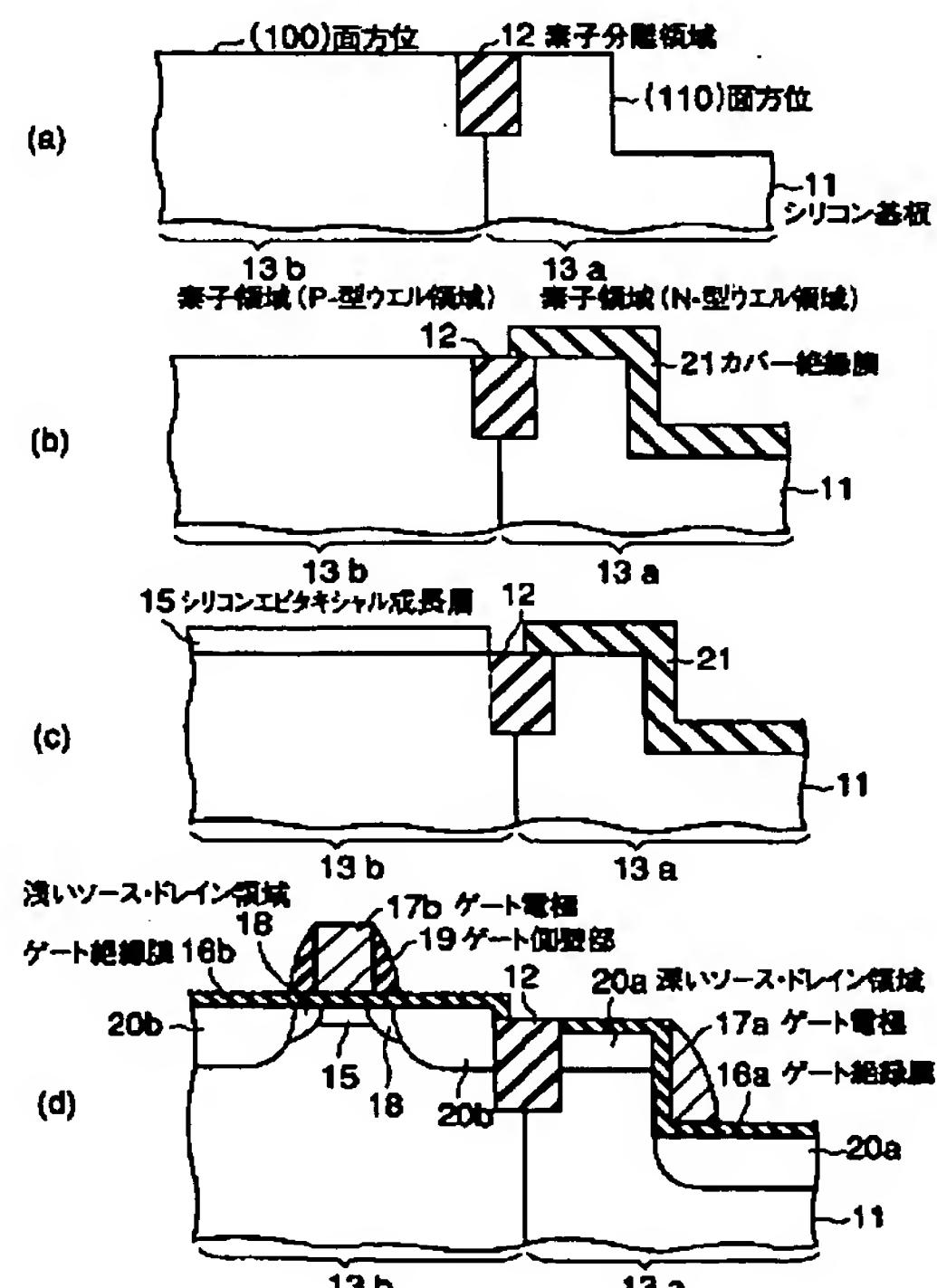
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】本発明は、さまざまな面方位上に形成されるMOSFETを、それぞれ良好な特性を有して実現できるようにすることを最も主要な特徴としている。

【解決手段】たとえば、面方位が(100)であるシリコン基板11の、N型ウエル領域13aの表面部に(100)以外の面方位を露出させる。上記(100)面方位上のチャネル形成領域を含む領域にのみ、低濃度のシリコンエピタキシャル成長層15を形成する。そして、このシリコンエピタキシャル成長層15をチャネル部とするN型MOSFETを、P型ウエル領域13bに形成する。一方、上記N型ウエル領域13aには、このウエル領域13aの表面部をチャネル部とするP型MOSFETを形成する構成となっている。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含む半導体装置であって、
チャネル形成領域にエピタキシャル成長層を有し、ゲート絶縁膜と接する該チャネル形成領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、
エピタキシャル成長層のないチャネル形成領域を有し、ゲート絶縁膜と接する該チャネル形成領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備したことを特徴とする半導体装置。

【請求項2】 半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含む半導体装置であって、
第一のチャネル不純物プロファイルを有し、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、
第二のチャネル不純物プロファイルを有し、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備し、
前記第一のチャネル不純物プロファイルが、前記第二のチャネル不純物プロファイルに比べ、ゲート絶縁膜と接するチャネル形成領域の表面部で低濃度であることを特徴とする半導体装置。

【請求項3】 半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含む半導体装置であって、
ゲート絶縁膜と接するチャネル形成領域の表面部が、エピタキシャル成長層を有する(100)シリコン面方位上の第一の領域と、エピタキシャル成長層のない(100)シリコン面方位と異なるシリコン面方位上の第二の領域とから構成される電界効果型トランジスタを具備したことを特徴とする半導体装置。

【請求項4】 半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含む半導体装置であって、
ソース・ドレイン領域にエピタキシャル成長層を有し、かつ、シリサイド層あるいは金属配線層と接するソース

・ドレイン領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、
エピタキシャル成長層のないソース・ドレイン領域を有し、かつ、シリサイド層あるいは金属配線層と接するソース・ドレイン領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備したことを特徴とする半導体装置。

【請求項5】 半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含む半導体装置であって、
ソース・ドレイン領域のシリサイド層あるいは金属配線層と接する表面部が、エピタキシャル成長層を有する(100)シリコン面方位上の第一の領域と、エピタキシャル成長層のない(100)シリコン面方位と異なるシリコン面方位上の第二の領域とから構成される電界効果型トランジスタを具備したことを特徴とする半導体装置。

【請求項6】 前記(100)シリコン面方位と異なるシリコン面方位が、(110)、(111)、(113)、(115)、(211)、(311)、(511)、(811)、(101)、(011)のいずれかであることを特徴とする請求項1乃至5に記載の半導体装置。

【請求項7】 前記エピタキシャル成長層は、主にシリコンで構成されることを特徴とする請求項1、3、4または5に記載の半導体装置。

【請求項8】 前記エピタキシャル成長層は、主にシリコンとゲルマニウムとの混合層で構成されることを特徴とする請求項1、3、4または5に記載の半導体装置。

【請求項9】 前記第一の電界効果型トランジスタと前記第二の電界効果型トランジスタとは、同じ導電型の電界効果型トランジスタであることを特徴とする請求項1、2または4に記載の半導体装置。

【請求項10】 前記第一の電界効果型トランジスタと前記第二の電界効果型トランジスタとは、逆導電型の電界効果型トランジスタであることを特徴とする請求項1、2または4に記載の半導体装置。

【請求項11】 前記第一および第二の電界効果型トランジスタは(100)シリコン面方位のウェハに形成され、前記第二の電界効果型トランジスタは、(100)シリコン面方位と異なるシリコン面方位を露出させ、チャネル形成領域の表面部のゲート絶縁膜と接する部分が、該(100)シリコン面方位と異なるシリコン面方位上に形成されることを特徴とする請求項1、2または4に記載の半導体装置。

【請求項12】 前記第一および第二の電界効果型トランジスタは(100)シリコン面方位と異なるシリコン

面方位のウエハに形成され、前記第一の電界効果型トランジスタは、(100)シリコン面方位を露出させ、チャネル形成領域の表面部のゲート絶縁膜と接する部分が、該(100)シリコン面方位上に形成されることを特徴とする請求項1、2または4に記載の半導体装置。

【請求項13】半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含む半導体装置であって、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備し、

前記第二の電界効果型トランジスタのゲート絶縁膜の酸化膜換算容量膜厚が、前記第一の電界効果型トランジスタのゲート絶縁膜の酸化膜換算容量膜厚よりも薄いことを特徴とする半導体装置。

【請求項14】前記第二の電界効果型トランジスタのゲート絶縁膜は、酸化膜換算容量膜厚が2.5nm以下であることを特徴とする請求項13に記載の半導体装置。

【請求項15】前記第二の電界効果型トランジスタのゲート絶縁膜は、膜厚が2.5nm以下であることを特徴とする請求項13に記載の半導体装置。

【請求項16】前記第二の電界効果型トランジスタのゲート絶縁膜は、酸化膜換算容量膜厚が2.0nm以下であることを特徴とする請求項13に記載の半導体装置。

【請求項17】前記第二の電界効果型トランジスタのゲート絶縁膜は、膜厚が2.0nm以下であることを特徴とする請求項13に記載の半導体装置。

【請求項18】半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含む半導体装置であって、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備し、

前記第一の電界効果型トランジスタのゲート絶縁膜が、前記チャネル形成領域と接する第一の絶縁膜とこの第一の絶縁膜とは異なる物質もしくは異なる組成からなる第二の絶縁膜との積層膜として構成され、前記第二の電界効果型トランジスタのゲート絶縁膜が、

前記チャネル形成領域と接する第三の絶縁膜とこの第三の絶縁膜とは異なる物質もしくは異なる組成からなる第四の絶縁膜との積層膜として構成されるとともに、前記第三の絶縁膜の酸化膜換算容量膜厚が、前記第一の絶縁膜の酸化膜換算容量膜厚よりも薄いことを特徴とする半導体装置。

【請求項19】前記第三の絶縁膜は、酸化膜換算容量膜厚が2.5nm以下であることを特徴とする請求項18に記載の半導体装置。

【請求項20】前記第三の絶縁膜は、膜厚が2.5nm以下であることを特徴とする請求項18に記載の半導体装置。

【請求項21】前記第三の絶縁膜は、酸化膜換算容量膜厚が2.0nm以下であることを特徴とする請求項18に記載の半導体装置。

【請求項22】前記第三の絶縁膜は、膜厚が2.0nm以下であることを特徴とする請求項18に記載の半導体装置。

【請求項23】前記第二の絶縁膜および前記第四の絶縁膜は、異なる物質もしくは異なる組成からなる二種類以上の絶縁膜の積層膜として構成されることを特徴とする請求項18に記載の半導体装置。

【請求項24】前記(100)シリコン面方位と異なるシリコン面方位が、(110)、(111)、(113)、(115)、(211)、(311)、(511)、(811)、(101)、(011)のいずれかであることを特徴とする請求項13または18に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関するもので、特に、高性能・低消費電力のLSI (Large Scale Integrated circuit) などに用いられるCMOS (Complementary Metal Oxide Semiconductor) に関する。

【0002】

【従来の技術】従来より、CMOSの高性能化のために、チャネル部にノンドープ・エピタキシャルシリコン層(シリコンエピタキシャル成長層)を設けてトランジスタを形成する技術が既に知られている(たとえば、K. Noda, T. Uchida, T. Tatsumi, T. Aoyama, K. Nakajima, H. Miyamoto, T. Hashimoto, and I. Sasaki, "0.1μm delta doped MOSFET using post low-energy implanting selective epitaxy," in Symp. VLSI Tech. Dig., pp. 19-20, 1994. (参考文献[1])、または、T. Ohguro, H. Na

ruse, H. Sugaya, S. Nakamura, N. Sugiyama, E. Morifumi, H. Kimijima, T. Yoshitomi, T. Morimoto, H. S. Momose, Y. Katsumata, and H. Iwai, "Silicon epitaxy and its application to RFIC's," Electrochemical society proceeding vol. 99-18, pp. 123-141, 1999. (参考文献[2]) 参照)。

【0003】この構造のトランジスタは、駆動力の向上、良好なサブスレショルド特性を有するばかりでなく、微細MOSFETで問題となるゲート漏れ電流の低減にも効果があることが知られている(たとえば、H. S. Momose, T. Ohguro, E. Morifumi, H. Sugaya, S. Nakamura, T. Yoshitomi, H. Kimijima, T. Morimoto, F. Matsuoka, Y. Katsumata, H. Ishiuchi, and H. Iwai, "Improvement of direct-tunneling gate leakage current in ultra-thin gate oxide CMOS with TiN gate electrode using non-doped selective epitaxial Si channel technique", in IEDM Tech. Dig. pp. 819-822, December, 1999. (参考文献[3]) 参照)。

【0004】図22は、従来のCMOSを例に、上記した構造のトランジスタの製造方法を示すものである。

【0005】まず、同図(a)に示すように、通常の(100)面方位のシリコン基板101の表面部に素子分離領域102を形成して、素子領域(N-型ウエル領域, P-型ウエル領域)103a, 103bを画定する。そして、その素子領域103a, 103bの表面上に12nmの膜厚のシリコン犠牲酸化膜(図示していない)を形成した後、不純物である砒素およびボロンをそれぞれ導入し、チャネル部として所望のしきい値を得るために、PMOSチャネル不純物導入領域104aおよびNMOSチャネル不純物導入領域104bを実現する。

【0006】続いて、上記シリコン犠牲酸化膜を剥離した後、上記シリコン基板101の表面部の残留酸素を除去するための前処理として、940°Cでのプリヒーティング処理を行う。

【0007】続いて、減圧気相堆積(Reduced Pressure Chemical Vapor Deposition (RP-CVD))法により、たとえば、800°Cの温度で、Si₂H₄Cl₂ガスを用いて、上記PMOSチャネル不純物導入領域104a上お

よびNMOSチャネル不純物導入領域104b上にそれぞれ、シリコンエピタキシャル成長層105a, 105bを約30nmの厚さで形成する。このプロセスにより、非常に急峻な不純物の濃度勾配をもつチャネルが実現される。

【0008】その後、同図(b)に示すように、炉酸化法により、ゲート酸化処理を行って、所定の厚さのゲート絶縁膜106a, 106bを形成する。たとえば、800°Cの温度で、60分間という条件でゲート酸化処理を行うと、5nm厚の酸化膜を形成できる。この炉酸化法では、適切な温度および時間を選択することによって、所望の厚さのゲート絶縁膜106a, 106bが実現できる。

【0009】続いて、上記酸化膜上にポリシリコン膜を250nm厚程度の膜厚により堆積させた後、異方性エッティングによりパターニングして、所望のゲート長を有するゲート電極107a, 107bをそれぞれ形成する。

【0010】続いて、所定の不純物種を導入した後、たとえば、窒素雰囲気中で、1000°Cの温度で、20秒間、熱処理を行って、上記ゲート電極107a, 107b中の不純物の活性化、並びに、不純物導入領域104a, 104bの表面部にそれぞれ浅いソース・ドレイン領域108a, 108bを形成する。

【0011】この後、ゲート側壁部109a, 109bおよび深いソース・ドレイン領域110a, 110bをそれぞれ形成することにより、上記シリコンエピタキシャル成長層105a, 105bをチャネル部に有するPMOSトランジスタ(P型MOSFET)およびNMOSトランジスタ(N型MOSFET)を完成させる。

【0012】そして、周知の技術により、上記ゲート電極107a, 107b上および上記ソース・ドレイン領域110a, 110bの表面部にそれぞれシリサイド層(図示していない)を形成して各電極部の低抵抗化を図った後、コンタクト部を介して、金属配線などとの接続が行われる。

【0013】

【発明が解決しようとする課題】ところで、N型MOSFETは(100)面方位上に形成した場合において、また、P型MOSFETは(100)以外の、(110)面方位上などに形成した場合において、それぞれ良好なモビリティが得られることが知られている。

【0014】このような観点から、(100)以外の面方位上に、シリコンエピタキシャル成長層をチャネル部にもつMOSFETを形成することを試みたところ、上記したように、シリコンエピタキシャル成長層を有するチャネル構造のMOSFETは、駆動力の向上や良好なサブスレショルド特性を得るためにには好ましい構造であるにもかかわらず、(100)面方位上のMOSFETよりも信頼性が悪く、ゲート漏れ電流が増大することが

わかった。

【0015】また、(111)面方位上にチャネル／ゲート絶縁膜界面を有するMOSFETは、ゲート絶縁膜とシリコン基板との界面での界面準位が多い、ゲート絶縁膜中の固定電荷が多いなどの問題がある。すなわち、(100)面方位上にチャネル／ゲート絶縁膜界面を有するMOSFETに比べ、トランジスタの信頼性が悪いものとなっていた。実際に、5nm厚のゲート絶縁膜を有するMOSFETの場合、(100)面方位上のMOSFETに比べ、(111)面方位上のMOSFETは界面準位密度が2.2倍にも増加し、また、しきい値電圧のばらつき、トランスコンダクタンス、電流駆動力のばらつきも、2倍ほど大きかった。

【0016】そこで、この発明は、(100)以外の面方位上に設けられるMOSFETの信頼性およびゲート漏れ電流、ノイズ特性などの特性を向上でき、さまざまな面方位上において、それぞれ特性の良好なMOSFETを実現することが可能な半導体装置を提供することを目的としている。

【0017】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含むものであって、チャネル形成領域にエピタキシャル成長層を有し、ゲート絶縁膜と接する該チャネル形成領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、エピタキシャル成長層のないチャネル形成領域を有し、ゲート絶縁膜と接する該チャネル形成領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備したことを特徴とする。

【0018】また、この発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含むものであって、第一のチャネル不純物プロファイルを有し、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、第二のチャネル不純物プロファイルを有し、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備し、前記第一のチャネル不純物プロファイルが、前記第二のチャネル不純物プロファイルに比べ、ゲート絶縁膜と接するチャネル形成領域の表面部で低濃度であることを特徴とする。

【0019】また、この発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含むものであって、ゲート絶縁膜と接するチャネル形成領域の表面部が、エピタキシャル成長層を有する(100)シリコン面方位上の第一の領域と、エピタキシャル成長層のない(100)シリコン面方位と異なるシリコン面方位上の第二の領域とから構成される電界効果型トランジスタを具備したことを特徴とする。

【0020】また、この発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含むものであって、ソース・ドレイン領域にエピタキシャル成長層を有し、かつ、シリサイド層あるいは金属配線層と接するソース・ドレイン領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、エピタキシャル成長層のないソース・ドレイン領域を有し、かつ、シリサイド層あるいは金属配線層と接するソース・ドレイン領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備したことを特徴とする。

【0021】また、この発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含むものであって、ソース・ドレイン領域のシリサイド層あるいは金属配線層と接する表面部が、エピタキシャル成長層を有する(100)シリコン面方位上の第一の領域と、エピタキシャル成長層のない(100)シリコン面方位と異なるシリコン面方位上の第二の領域とから構成される電界効果型トランジスタを具備したことを特徴とする。

【0022】また、この発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含むものであって、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備し、前記第二の電界効果型トランジスタのゲート絶縁膜の酸化膜換算容量膜厚が、前記第一の電界効果型トランジスタのゲート絶縁膜の酸化膜換算

容量膜厚よりも薄いことを特徴とする。

【0023】さらに、この発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されるゲート電極を備え、該ゲート電極に相対する半導体層はチャネル形成領域を成し、該チャネル形成領域を挟んでソース・ドレイン領域が形成される電界効果型トランジスタを含むものであって、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位上に構成される第一の電界効果型トランジスタと、ゲート絶縁膜と接するチャネル形成領域の表面部が(100)シリコン面方位と異なるシリコン面方位上に構成される第二の電界効果型トランジスタとを具備し、前記第一の電界効果型トランジスタのゲート絶縁膜が、前記チャネル形成領域と接する第一の絶縁膜とこの第一の絶縁膜とは異なる物質もしくは異なる組成からなる第二の絶縁膜との積層膜として構成され、前記第二の電界効果型トランジスタのゲート絶縁膜が、前記チャネル形成領域と接する第三の絶縁膜とこの第三の絶縁膜とは異なる物質もしくは異なる組成からなる第四の絶縁膜との積層膜として構成されるとともに、前記第三の絶縁膜の酸化膜換算容量膜厚が、前記第一の絶縁膜の酸化膜換算容量膜厚よりも薄いことを特徴とする。

【0024】この発明の半導体装置によれば、(100)以外のシリコン面方位上に形成される電界効果型トランジスタの特性を改善できるようになる。これにより、さまざまなシリコン面方位上における各トランジスタの利点を損なうことなく、極めて高性能、高信頼性、かつ、低リーク電流で、ノイズ特性の良好な電界効果型トランジスタを、同一のシリコン基板上に混在させることが可能となるものである。

【0025】

【発明の実施の形態】まず、この発明の実施の形態について説明する前に、本発明の概念について解説する。

【0026】通常、シリコン基板の(100)面方位上でのエピタキシャル成長は、シリコン表面のラフネスをバルク表面よりも減少させる。しかしながら、本発明者が新たに得た知見によれば、(100)以外の面方位上でのエピタキシャル成長は、逆に、シリコン表面のラフネスを増大させている。

【0027】表1は、シリコンのバルク(Bulk-Si)とシリコンエピタキシャル成長層(Epi-Si)の表面のラフネスとを、AFMにより評価した際の結果を示すものである。

【0028】

【表1】

表 1

面方位		Ra(nm)	RMS(nm)
(100)	Bulk-Si	0.11	0.14
		0.11	0.13
(111)	Epi-Si	0.08	0.10
		0.19	0.24

【0029】ただし、Ra(二乗最小粗さ)は、定量面で中心面から表面までの偏差の二乗の平均値の平方根であり、RMS(算術平均粗さ)は、定量面で中心面から表面までの偏差の絶対値の平均値である。

【0030】エピタキシャル成長によるシリコン表面のラフネスの変動は、各面方位でのシリコンの成長速度に極めて強い影響を受ける。表1に示す結果が得られた理由としては、シリコンの(100)面方位方向へのエピタキシャル成長の速度は他の面方位方向に比べて速く、その一方、(111)面方位方向への成長速度は(100)などの他の面方位方向に比べて遅いことが原因と推測される。

【0031】したがって、(100)以外の、(111)面方位上などでのノンドープ・シリコンエピタキシャル成長層をチャネル部にもつMOSFETの場合、トランジスタの絶縁膜の信頼性およびゲート漏れ電流などの特性が、界面ラフネスが増大することにより、(100)面方位上のMOSFETに比べて劣化する。

【0032】また、(100)以外の面方位上に、シリコンエピタキシャル成長層をソース・ドレイン領域にもつMOSFETを形成した場合、シリコン界面のラフネスが増大するため、シリサイド・シリコン界面の特性が劣化し、接合電流の増加をもたらす。

【0033】この問題は、(111)面方位上のトランジスタにのみ生ずるものではなく、(100)面方位上よりもシリコンの成長速度が遅いことが知られている(110)、(113)、(115)の各面方位(たとえば、C. H. J. Van den Brekel,

"Growth rate anisotropy and morphology of autoepitaxial silicon films from SiCl₄," J. of Crystal Growth, pp. 259-266, 1974. (参考文献[4]参照))や、(211)、(311)、(511)、(811)、(101)、(011)などの面方位においても、同様の問題が引き起こされる。

【0034】以下に、上記の問題を解決すべくなされた本発明の実施の形態について、図面を参照して説明する。

【0035】(第1の実施形態)図1は、本発明の第1の実施形態にかかるCMOSの製造方法について概略的に示すものである。

【0036】まず、(100)面方位のシリコン基板1の表面部を、周知の技術、たとえばシリコン異方性エッティングにより加工し、その表面部の一部に、(100)以外の面方位(ここでは、(110)面方位)を露出させる。その後、シリコン基板11の表面部に素子分離領域12を形成して、素子領域(N-型ウエル領域、P-型ウエル領域)13a、13bを画定する。この場合、上記(110)面方位は、第二の不純物プロファイルを有する、第二のMOSFET(P型MOSFET)の形成領域である、上記N-型ウエル領域13aの表面部に形成されるようとする(以上、同図(a)参照)。

【0037】続いて、上記素子領域13a、13bの表面上に12nmの膜厚のシリコン犠牲酸化膜(図示していない)を形成した後、チャネル部として所望のしきい値を実現するための不純物である砒素およびボロンを、それぞれ、上記N-型ウエル領域13aおよびP-型ウエル領域13bに導入する。

【0038】続いて、上記シリコン犠牲酸化膜の一部を剥離することにより、上記N-型ウエル領域13aのみをカバー絶縁膜21によって被覆する。すなわち、第一のMOSFET(N型MOSFET)の形成領域である上記P-型ウエル領域13bを除く、上記N-型ウエル領域13aにのみ、上記シリコン犠牲酸化膜を残存させる(以上、同図(b)参照)。

【0039】続いて、上記シリコン基板11の表面部の残留酸素を除去するための前処理として、940°Cでのプリヒーティング処理を行う。

【0040】続いて、減圧気相堆積(Reduced Pressure Chemical Vapor Deposition(RP-CVD))法により、たとえば、800°Cの温度で、Si₂H₄C₁₂ガスを用いて、上記N型MOSFETのチャネル部となる、上記P-型ウエル領域13bの主表面上にのみ、第一の不純物プロファイルを有する、シリコンエピタキシャル成長層(低濃度層)15を約30nmの厚さで形成する(以上、同図(c)参照)。このプロセスにより、非常に急峻な不純物の濃度勾配をもつ、(100)面方位上のN型MOSFETのチャネル部が実現される。

【0041】この後、上記N-型ウエル領域13aを被覆するカバー絶縁膜(シリコン犠牲酸化膜)21を除去する。

【0042】その後、急速ランプ加熱(RTO)法により、ゲート酸化処理を行って、上記N-型ウエル領域13aおよび上記P-型ウエル領域13bに、それぞれ、所定の厚さのゲート絶縁膜16a、16bを形成する。たとえば、RTO法により、800°Cの温度で、10秒間という条件でゲート酸化処理を行うと、1.5nm厚の酸化膜を形成できる。このRTO法あるいは炉酸化法を用いると、適切な温度および時間を選択することによって、所望の厚さのゲート絶縁膜16a、16bが実現

できる。

【0043】続いて、上記ゲート絶縁膜16a、16b上にポリシリコン膜を250nm厚程度の膜厚により堆積させた後、異方性エッティングによりパターニングして、上記N-型ウエル領域13aおよび上記P-型ウエル領域13bに、それぞれ、所望のゲート長を有するゲート電極17a、17bを形成する。

【0044】続いて、所定の不純物種を導入した後、不純物の拡散および活性化のために、たとえば、窒素雰囲気中で、1000°Cの温度により、20秒間ほど、熱処理を行って、上記P-型ウエル領域13bの表面部に浅いソース・ドレイン領域18を形成する。

【0045】この後、上記ゲート電極17bのゲート側壁部19、および、上記浅いソース・ドレイン領域18よりも深いソース・ドレイン領域20a、20bをそれぞれ形成する。これにより、上記シリコンエピタキシャル成長層15をチャネル部に有する(100)面方位上のNMOSトランジスタ(N型MOSFET)、および、上記シリコンエピタキシャル成長層15をチャネル部に有しない、上記N-型ウエル領域13aからなるチャネル部を備える(100)以外の、(110)面方位上のPMOSトランジスタ(P型MOSFET)を、それぞれ完成させる(以上、同図(d)参照)。

【0046】そして、周知の技術により、上記ゲート電極17a、17b上および上記ソース・ドレイン領域20a、20bの表面部にそれぞれシリサイド層(図示していない)を形成して各電極部の低抵抗化を図った後、コンタクト部を介して、金属配線などとの接続が行われる。

【0047】このような、エピタキシャルチャネル構造をとることによって、(100)面方位上のMOSFETの特性をさらに向上させる場合においても、本発明では、さまざまな面方位上における、(100)以外の面方位上に形成されるMOSFETの利点を損なうことなく、極めて高信頼性、かつ、低リーク電流で、ノイズ特性の良好なMOSFETを、同一のシリコン基板上に混在させることが可能となるものである。

【0048】本実施形態においては、(100)面方位上にN型MOSFETのチャネル部を、(100)以外の面方位上にP型MOSFETのチャネル部を、それぞれ形成する場合の例について説明した。この場合、N型MOSFETおよびP型MOSFETともに良好なモビリティが得られるとともに、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なCMOSとすることができる。

【0049】また、(100)面方位上および(100)面方位と異なる面方位上に同じ導電型のMOSFETを形成する場合(たとえば、両方の面方位上にN型MOSFETをそれぞれ形成する場合、あるいは、両方の面方位上にP型MOSFETをそれぞれ形成する場合)

においても、同様に、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なMOSFETとすることができる。この場合は、(100)面方位上のMOSFETのチャネル部のみに低濃度のシリコンエピタキシャル成長層を形成することにより、シリコンエピタキシャル成長層のない、(100)面方位と異なる面方位上のMOSFETとはしきい値の異なる同じ導電型のMOSFETを、同一のシリコン基板上に形成することが可能である。

【0050】(第2の実施形態)図2は、本発明の第2の実施形態にかかるCMOSの製造方法について概略的に示すものである。なお、ここでは、シリコン基板上の、少なくとも(100)以外の、たとえば(110)面方位のみを絶縁膜により被覆し、その(110)面方位を除く全ての領域に対してシリコンエピタキシャル成長層を形成するようにした場合について説明する。

【0051】まず、(100)面方位のシリコン基板11の表面部を、周知の技術、たとえばシリコン異方性エッティングにより加工し、その表面部の一部に、(100)以外の、(110)面方位を露出させる。その後、シリコン基板11の表面部に素子分離領域12を形成して、素子領域(N型ウエル領域、P型ウエル領域)13a、13bを画定する。この場合、上記(110)面方位は、第二の不純物プロファイルを有する、第二のMOSFET(P型MOSFET)のチャネル形成領域である、上記N型ウエル領域13aの表面部に形成されるようにする(以上、同図(a)参照)。

【0052】続いて、上記素子領域13a、13bの表面上に12nmの膜厚のシリコン犠牲酸化膜(図示していない)を形成した後、チャネル部として所望のしきい値を実現するための不純物である砒素およびボロンを、それぞれ、上記N型ウエル領域13aおよびP型ウエル領域13bに導入する。

【0053】続いて、上記シリコン犠牲酸化膜の一部を剥離することにより、上記N型ウエル領域13aの、(110)面方位上のチャネル形成領域を含む領域をカバー絶縁膜21によって被覆する。すなわち、第一のMOSFET(N型MOSFET)の形成領域である上記P型ウエル領域13bと、上記N型ウエル領域13a上の、上記(100)面方位上とを除く、上記(110)面方位上にのみ、上記シリコン犠牲酸化膜を残存させる(以上、同図(b)参照)。

【0054】続いて、上記シリコン基板11の表面部の残留酸素を除去するための前処理として、940°Cでのプリヒーティング処理を行う。

【0055】続いて、減圧気相堆積(Reduced Pressure Chemical Vapor Deposition(RP-CVD))法により、たとえば、800°Cの温度で、Si₂H₄C₁₂ガスを用いて、少なくとも上記N型MOSFETのチャネル部とな

る、上記P型ウエル領域13bの主表面上を含む、上記(100)面方位上に、第一の不純物プロファイルを有する、シリコンエピタキシャル成長層(低濃度層)15を約30nmの厚さで形成する(以上、同図(c)参照)。このプロセスにより、非常に急峻な不純物の濃度勾配をもつ、(100)面方位上のN型MOSFETのチャネル部が実現される。

【0056】この後、上記(110)面方位上を被覆するカバー絶縁膜(シリコン犠牲酸化膜)21を除去する。

【0057】その後、急速ランプ加熱(RTO)法により、ゲート酸化処理を行って、上記N型ウエル領域13aおよび上記P型ウエル領域13bに、それぞれ、所定の厚さのゲート絶縁膜16a、16bを形成する。たとえば、RTO法により、800°Cの温度で、10秒間という条件でゲート酸化処理を行うと、1.5nm厚の酸化膜を形成できる。このRTO法あるいは炉酸化法を用いると、適切な温度および時間を選択することによって、所望の厚さのゲート絶縁膜16a、16bが実現できる。

【0058】続いて、上記ゲート絶縁膜16a、16b上にポリシリコン膜を250nm厚程度の膜厚により堆積させた後、異方性エッティングによりパターニングして、上記N型ウエル領域13aおよび上記P型ウエル領域13bに、それぞれ、所望のゲート長を有するゲート電極17a、17bを形成する。

【0059】続いて、所定の不純物種を導入した後、不純物の拡散および活性化のために、たとえば、窒素雰囲気中で、1000°Cの温度により、20秒間ほど、熱処理を行って、上記P型ウエル領域13bの表面部に浅いソース・ドレイン領域18を形成する。

【0060】この後、上記ゲート電極17bのゲート側壁部19、および、上記浅いソース・ドレイン領域18よりも深いソース・ドレイン領域20a、20bをそれぞれ形成する。これにより、上記シリコンエピタキシャル成長層15をチャネル部に有する(100)面方位上のNMOSトランジスタ(N型MOSFET)、および、上記シリコンエピタキシャル成長層15をチャネル部に有しない、上記N型ウエル領域13aからなるチャネル部を備える(100)以外の、(110)面方位上のPMOSトランジスタ(P型MOSFET)を、それぞれ完成させる(以上、同図(d)参照)。

【0061】そして、周知の技術により、上記ゲート電極17a、17b上および上記ソース・ドレイン領域20a、20bの表面部にそれぞれシリサイド層(図示していない)を形成して各電極部の低抵抗化を図った後、コンタクト部を介して、金属配線などとの接続が行われる。

【0062】このように、(110)面方位上のみを除く、(100)面方位上にそれぞれシリコンエピタキシ

ヤル成長層15を形成するようにした本実施形態の場合においても、上述した第1の実施形態に示したCMOSの場合と同様の効果が期待できる。

【0063】この場合、ソース・ドレイン領域20a、20bにおいても、(100)面方位上のみにシリコンエピタキシャル成長層15が形成されることにより、シリサイド・シリコン界面でのラフネスの増大が、(110)面方位上にチャネル部を有するMOSFETのソース・ドレイン領域20aにおいて抑制され、ソース・ドレイン接合リーク電流の増加を防ぐことができる。

【0064】なお、ソース・ドレイン領域20a、20bに対して、シリサイド層を形成しない場合においては、配線コンタクト(金属配線層)・シリコン界面でのラフネスの増大が、(110)面方位上にチャネル部を有するMOSFETのソース・ドレイン領域20aにおいて抑制され、ソース・ドレイン接合リーク電流の増加を防ぐことができる。

【0065】また、図3(a)～(d)に示すように、ゲート電極17a、17bの形成後、(100)以外の、たとえば(111)面方位上のソース・ドレイン領域20a-1をカバー絶縁膜21で覆うことにより、(100)面方位上の第一のMOSFETのソース・ドレイン領域20b、および、(111)面方位上にチャネル部をもつ第二のMOSFETにおけるソース・ドレイン領域20a-1、20a-2の、(100)面方位の表面が露出している領域20a-2上に、選択的にシリコンエピタキシャル成長層15を形成させることによっても、同様の効果が得られる(いわゆる、エレベート・ソース・ドレイン構造)。

【0066】さらに、図4および図5(a-1)～(a-4)、(b-1)～(b-4)は、シリコン基板11の表面部に、少なくとも(100)面方位Xと、それ以外の、たとえば(110)面方位Yとをともに露出させ、その(110)面方位Yを除く全ての領域に対してシリコンエピタキシャル成長層15を形成するようにした場合を例に示すものである。なお、図4はシリコン基板11の斜視図であり、図5(a-1)～(a-4)はそれぞれ(100)面方位Xについての断面図であり、図5(b-1)～(b-4)はそれぞれ(110)面方位Yについての断面図である。

【0067】まず、(100)面方位のシリコン基板1の表面部を、周知の技術、たとえばシリコン異方性エッティングにより加工し、その表面部の一部に、(100)面方位X、および、(100)以外の、(110)面方位Yを露出させる。この場合、たとえば図4に示すように、(100)面方位Xおよび(110)面方位Yはともにシリコン基板11に対して90°の角度を成し、(100)面方位Xと(110)面方位Y間は45°(あるいは、135°)の角度になる。

【0068】この後、たとえば図5(a-1)、(b-1)

1)に示すように、上記シリコン基板11の表面部に素子分離領域12を形成して、素子領域(N型ウエル領域、P型ウエル領域)13a、13bを画定する。この場合、上記(100)面方位Xは、第一の不純物プロファイルを有する、第一のMOSFET(N型MOSFET)のチャネル形成領域である、上記P型ウエル領域13bの表面部に形成されるようとする。また、上記(110)面方位Yは、第二の不純物プロファイルを有する、第二のMOSFET(P型MOSFET)のチャネル形成領域である、上記N型ウエル領域13aの表面部に形成されるようとする。

【0069】続いて、上記素子領域13a、13bの表面上に12nmの膜厚のシリコン犠牲酸化膜(図示していない)を形成した後、チャネル部として所望のしきい値を実現するための不純物である砒素およびボロンを、それぞれ、上記N型ウエル領域13aおよびP型ウエル領域13bに導入する。

【0070】続いて、たとえば図5(a-2)、(b-2)に示すように、上記シリコン犠牲酸化膜の一部を剥離することにより、上記N型ウエル領域13aの、(110)面方位Y上のチャネル形成領域を含む領域をカバー絶縁膜21によって被覆する。すなわち、上記(110)面方位Y上にのみ、上記シリコン犠牲酸化膜を残存させる。

【0071】続いて、上記シリコン基板11の表面部の残留酸素を除去するための前処理として、940°Cでのプリヒーティング処理を行う。

【0072】続いて、図5(a-3)、(b-3)に示すように、減圧気相堆積(Reduced Pressure Chemical Vapor Deposition(RP-CVD))法により、たとえば、800°Cの温度で、Si₂H₄Cl₂ガスを用いて、少なくとも上記N型MOSFETのチャネル部となる、上記P型ウエル領域13bの主表面上を含む、上記(100)面方位X上に、第一の不純物プロファイルを有する、シリコンエピタキシャル成長層(低濃度層)15を約30nmの厚さで形成する。このプロセスにより、非常に急峻な不純物の濃度勾配をもつ、(100)面方位X上にN型MOSFETのチャネル部が実現される。

【0073】この後、上記(110)面方位Y上を被覆するカバー絶縁膜(シリコン犠牲酸化膜)21を除去する。

【0074】その後、急速ランプ加熱(RTO)法により、ゲート酸化処理を行って、上記N型ウエル領域13aおよび上記P型ウエル領域13bに、それぞれ、所定の厚さのゲート絶縁膜16a、16bを形成する。たとえば、RTO法により、800°Cの温度で、10秒間という条件でゲート酸化処理を行うと、1.5nm厚の酸化膜を形成できる。このRTO法あるいは炉酸化法を用いると、適切な温度および時間を選択することによ

って、所望の厚さのゲート絶縁膜16a, 16bが実現できる。

【0075】続いて、上記ゲート絶縁膜16a, 16b上にポリシリコン膜を250nm厚程度の膜厚により堆積させた後、異方性エッチングによりパターニングして、上記N-型ウエル領域13aおよび上記P-型ウエル領域13bに、それぞれ、所望のゲート長を有するゲート電極17a, 17bを形成する。

【0076】本実施形態の場合、(100)面方位X上のMOSFETのゲート電極17aおよび(110)面方位Y上のMOSFETのゲート電極17bに関し、ともに、(100)面方位のシリコン基板11の基板面に対して、ゲート長方向が90°を成す縦型のMOSFET構造となっている。そのため、ゲート電極17a, 17bの形成が同一プロセスによって可能であり、より工程の簡素化が図れるとともに、プロセスの整合性に優れ、かつ、微細化にとっても好適である。

【0077】続いて、図5(a-4), (b-4)に示すように、所定の不純物種を導入した後、不純物の拡散および活性化のために、たとえば、窒素雰囲気中で、1000°Cの温度により、20秒間ほど、熱処理を行って、上記N-型ウエル領域13aの表面部および上記P-型ウエル領域13bの表面部に、ソース・ドレイン領域20a, 20bをそれぞれ形成する。これにより、上記シリコンエピタキシャル成長層15をチャネル部に有する(100)面方位X上のN型MOSFET、および、上記シリコンエピタキシャル成長層15をチャネル部に有しない、上記N-型ウエル領域13aからなるチャネル部を備える(100)以外の、(110)面方位Y上のP型MOSFETを、それぞれ完成させる。

【0078】そして、周知の技術により、上記ゲート電極17a, 17b上および上記ソース・ドレイン領域20a, 20bの表面部にそれぞれシリサイド層(図示していない)を形成して各電極部の低抵抗化を図った後、コンタクト部を介して、金属配線などとの接続が行われる。

【0079】なお、(100)面方位のシリコン基板11を用いた場合について説明したが、これに限らず、(110)面方位のシリコン基板を用いることもできる。すなわち、(110)面方位のシリコン基板の表面部に、シリコン異方性エッチングなどにより(100)面方位Xおよび(110)面方位Yを露出させ、それぞれの面方位X, Y上にMOSFETを形成する場合においても、同様の効果が得られる。

【0080】本実施形態においては、いずれの場合も、(100)面方位上にN型MOSFETのチャネル部を、(100)以外の面方位上にP型MOSFETのチャネル部を、それぞれ形成する場合の例について説明した。この場合、N型MOSFETおよびP型MOSFETともに良好なモビリティが得られるとともに、高信頼

性、かつ、低リーク電流で、ノイズ特性の良好なCMOSとすることができます。

【0081】また、(100)面方位上および(100)面方位と異なる面方位上に同じ導電型のMOSFETを形成する場合(たとえば、両方の面方位上にN型MOSFETをそれぞれ形成する場合、あるいは、両方の面方位上にP型MOSFETをそれぞれ形成する場合)においても、同様に、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なMOSFETとすることができます。この場合は、(100)面方位上のMOSFETのチャネル部のみに低濃度のシリコンエピタキシャル成長層を形成することにより、シリコンエピタキシャル成長層のない、(100)面方位と異なる面方位上のMOSFETとはしきい値の異なる同じ導電型のMOSFETを、同一のシリコン基板上に形成することが可能である。

【0082】(第3の実施形態)図6は、本発明の第3の実施形態にかかるCMOSの製造方法について概略的に示すものである。なお、ここでは、シリコン基板上の、少なくとも(100)以外の、たとえば(111)面方位上にP型MOSFETを形成するようにした場合について説明する。

【0083】まず、(100)面方位のシリコン基板11の表面部を、周知の技術、たとえば化学液相エッチングにより加工して、その表面部の一部にV字状溝を形成し、(100)以外の、(111)面方位を露出させる。その後、シリコン基板11の表面部に素子分離領域12を形成して、素子領域(N-型ウエル領域、P-型ウエル領域)13a, 13bを画定する。この場合、上記(111)面方位は、第二の不純物プロファイルを有する、第二のMOSFET(P型MOSFET)の形成領域である、上記N-型ウエル領域13aの表面部に形成されるようにする(以上、同図(a)参照)。

【0084】続いて、上記素子領域13a, 13bの表面上に12nmの膜厚のシリコン犠牲酸化膜(図示していない)を形成した後、チャネル部として所望のしきい値を実現するための不純物である砒素およびボロンを、それぞれ、上記N-型ウエル領域13aおよびP-型ウエル領域13bに導入する。

【0085】続いて、上記シリコン犠牲酸化膜の一部を剥離することにより、上記N-型ウエル領域13a(または、上記N-型ウエル領域13aの、少なくとも(111)面方位上)のみをカバー絶縁膜21によって被覆する。すなわち、第一のMOSFET(N型MOSFET)の形成領域である上記P-型ウエル領域13bを除く、上記N-型ウエル領域13a(または、上記N-型ウエル領域13a上)の、上記(100)面方位上を除く、上記(111)面方位上にのみ、上記シリコン犠牲酸化膜を残存させる(以上、同図(b)参照)。

【0086】続いて、上記シリコン基板11の表面部の

残留酸素を除去するための前処理として、940°Cでのプリヒーティング処理を行う。

【0087】続いて、減圧気相堆積 (Reduced Pressure Chemical Vapor Deposition (RP-CVD)) 法により、たとえば、800°Cの温度で、Si₂H₄Cl₂ガスを用いて、少なくとも上記N型MOSFETのチャネル部となる、上記P-型ウエル領域13bの、上記(100)面方位上に、第一の不純物プロファイルを有する、シリコンエピタキシャル成長層(低濃度層)15を約30nmの厚さで形成する(以上、同図(c)参照)。このプロセスにより、非常に急峻な不純物の濃度勾配をもつ、(100)面方位上のN型MOSFETのチャネル部が実現される。

【0088】この後、少なくとも上記(111)面方位上を被覆するカバー絶縁膜(シリコン犠牲酸化膜)21を除去する。

【0089】その後、急速ランプ加熱(RTO)法により、ゲート酸化処理を行って、上記N-型ウエル領域13aおよび上記P-型ウエル領域13bに、それぞれ、所定の厚さのゲート絶縁膜16a, 16bを形成する。たとえば、RTO法により、800°Cの温度で、10秒間という条件でゲート酸化処理を行うと、1.5nm厚の酸化膜を形成できる。このRTO法あるいは炉酸化法を用いると、適切な温度および時間を選択することによって、所望の厚さのゲート絶縁膜16a, 16bが実現できる。

【0090】続いて、上記ゲート絶縁膜16a, 16b上にポリシリコン膜を250nm厚程度の膜厚により堆積させた後、異方性エッチングによりパターニングして、上記N-型ウエル領域13aおよび上記P-型ウエル領域13bに、それぞれ、所望のゲート長を有するゲート電極17a, 17bを形成する。

【0091】続いて、所定の不純物種を導入した後、不純物の拡散および活性化のために、たとえば、窒素雰囲気中で、1000°Cの温度により、20秒間ほど、熱処理を行って、上記P-型ウエル領域13bの表面部に浅いソース・ドレイン領域18を形成する。

【0092】この後、上記ゲート電極17bのゲート側壁部19、および、上記浅いソース・ドレイン領域18よりも深いソース・ドレイン領域20a, 20bをそれぞれ形成する。これにより、上記シリコンエピタキシャル成長層15をチャネル部に有する(100)面方位上のNMOSトランジスタ(N型MOSFET)、および、上記シリコンエピタキシャル成長層15をチャネル部に有しない、上記N-型ウエル領域13aからなるチャネル部を備える(100)以外の、(111)面方位上のPMOSトランジスタ(P型MOSFET)を、それぞれ完成させる(以上、同図(d)参照)。

【0093】そして、周知の技術により、上記ゲート電

極17a, 17b上および上記ソース・ドレイン領域20a, 20bの表面部にそれぞれシリサイド層(図示していない)を形成して各電極部の低抵抗化を図った後、コンタクト部を介して、金属配線などとの接続が行われる。

【0094】このように、(100)面方位上および(100)以外の、(111)面方位上にMOSFETを、それぞれ形成するようにした本実施形態の場合においても、上述した第1、第2の実施形態に示したCMOSの場合と同様の効果が期待できる。

【0095】本実施形態においては、(100)面方位上にN型MOSFETのチャネル部を、(100)以外の面方位上にP型MOSFETのチャネル部を、それぞれ形成する場合の例について説明した。この場合、N型MOSFETおよびP型MOSFETともに良好なモビリティが得られるとともに、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なCMOSとすることができる。

【0096】また、(100)面方位上および(100)面方位と異なる面方位上に同じ導電型のMOSFETを形成する場合(たとえば、両方の面方位上にN型MOSFETをそれぞれ形成する場合、あるいは、両方の面方位上にP型MOSFETをそれぞれ形成する場合)においても、同様に、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なMOSFETとすることができる。この場合は、(100)面方位上のMOSFETのチャネル部のみに低濃度のシリコンエピタキシャル成長層を形成することにより、シリコンエピタキシャル成長層のない、(100)面方位と異なる面方位上のMOSFETとはしきい値の異なる同じ導電型のMOSFETを、同一のシリコン基板上に形成することが可能である。

【0097】(第4の実施形態) 図7は、本発明の第4の実施形態にかかるCMOSの製造方法について概略的に示すものである。なお、ここでは、チャネル幅方向の断面において、シリコン基板上の、少なくとも(100)面方位と、それ以外の、たとえば(110)面方位とを含んで、MOSFETのチャネル部を構成するようにした場合について説明する。

【0098】まず、同図(a)に示すように、(100)面方位のシリコン基板11の表面部を、周知の技術、たとえばシリコン異方性エッチングにより加工し、その一部分に、(100)以外の、(110)面方位を露出させる。この後、シリコン基板11の表面部に素子分離領域12を形成して、トランジスタのチャネル部を形成するための領域を画定する。この場合、単位面積当たりの電流駆動力を高めるために、チャネル幅方向の断面においては、上記(100)面方位に加えて、上記(110)面方位が露出される。

【0099】続いて、上記シリコン基板11の表面上に

12 nmの膜厚のシリコン犠牲酸化膜（図示していない）を形成した後、N型MOSFETの場合にはチャネル部として所望のしきい値を実現するための不純物であるボロンを、P型MOSFETの場合には砒素を、それぞれ導入する。

【0100】続いて、上記シリコン犠牲酸化膜の一部を剥離することにより、上記シリコン基板11の、(110)面方位上ののみをカバー絶縁膜21によって被覆する。すなわち、上記(100)面方位上を除く、上記(110)面方位上にのみ、上記シリコン犠牲酸化膜を残存させる。

【0101】続いて、上記シリコン基板11の表面部の残留酸素を除去するための前処理として、940°Cでのプリヒーティング処理を行う。

【0102】続いて、同図(b)に示すように、減圧気相堆積(Reduced Pressure Chemical Vapor Deposition(RP-CVD))法により、たとえば、800°Cの温度で、Si₂H₄Cl₂ガスを用いて、上記(100)面方位上に、シリコンエピタキシャル成長層(低濃度層)15を約30 nmの厚さで形成する。

【0103】この後、上記(110)面方位上を被覆するカバー絶縁膜(シリコン犠牲酸化膜)21を除去する。

【0104】その後、同図(c)に示すように、急速ランプ加熱(RTO)法により、ゲート酸化処理を行って、所定の厚さのゲート絶縁膜16を形成する。たとえば、RTO法により、800°Cの温度で、10秒間という条件でゲート酸化処理を行うと、1.5 nm厚の酸化膜を形成できる。このRTO法あるいは炉酸化法を用いると、適切な温度および時間を選択することによって、所望の厚さのゲート絶縁膜16が実現できる。

【0105】続いて、上記ゲート絶縁膜16上にポリシリコン膜を250 nm厚程度の膜厚により堆積させた後、異方性エッティングによりパターニングして、所望のゲート幅を有するゲート電極17を形成する。

【0106】続いて、ソース・ドレイン領域を形成するための所定の不純物種を導入した後、不純物の拡散および活性化のために、たとえば、窒素雰囲気中で、1000°Cの温度により、20秒間ほど、熱処理を行う。

【0107】こうして、上記シリコンエピタキシャル成長層15を有する(100)面方位上のシリコン面、および、上記シリコンエピタキシャル成長層15を有しない(110)面方位上のシリコン面を、それぞれチャネル部として備えるMOSFETが完成される。

【0108】そして、周知の技術により、上記ゲート電極17上および上記ソース・ドレイン領域の表面部にそれぞれシリサイド層(図示していない)を形成して各電極部の低抵抗化を図った後、コンタクト部を介して、金属配線などとの接続が行われる。

【0109】このように、(100)面方位に加え、(110)面方位上のシリコン面もがトランジスタのチャネル部に含まれるように構成した本実施形態の場合、チャネル幅方向の断面において、範囲Aで示す部分がおよそのチャネル幅となる。これにより、ウエハ上面から見たゲート幅よりもチャネル幅を広くすることが可能である。したがって、より高い駆動力を得ることが可能であり、微細化に適した構造となる。

【0110】なお、上記した第4の実施形態にかかるMOSFETにおいては、(110)面方位上のシリコン面をも含んで、トランジスタのチャネル部を構成するようにしたが、これに限らず、たとえば図8(a)～(c)に示すように、チャネル幅方向の断面においては、(111)面方位上のシリコン面を含んで、トランジスタのチャネル部(チャネル幅A)を構成することも可能である。

【0111】もしくは、たとえば図9(a)～(c)に示すように、チャネル幅方向の断面において、(100)以外に、(110)面方位上のシリコン面と(111)面方位上のシリコン面など、複数の(100)以外のシリコン面を含んで、トランジスタのチャネル部(チャネル幅A)を構成することも可能である。

【0112】さらには、図10に示すように、チャネル幅方向の断面において、(100)以外の、たとえば(110)面方位などのシリコン面の数ヶ所を含んで、トランジスタのチャネル部(チャネル幅A)を構成することも可能である。

【0113】本実施形態においては、いずれの場合も、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なMOSFETとすることができる。

【0114】(第5の実施形態)図11は、本発明の第5の実施形態にかかるCMOSの製造方法について概略的に示すものである。なお、ここでは、チャネル長方向の断面において、シリコン基板上の、少なくとも(100)面方位と、それ以外の、たとえば(110)面方位とを含んで、MOSFETのチャネル部を構成するようにした場合について説明する。

【0115】まず、同図(a)に示すように、(100)面方位のシリコン基板11の表面部を、周知の技術、たとえばシリコン異方性エッティングにより加工し、その一部分に、(100)以外の、(110)面方位を露出させる。この後、シリコン基板11の表面部に素子分離領域(図示していない)を形成する。この場合、チャネル長方向の断面においては、上記(100)面方位と、上記(110)面方位とを含んで、トランジスタのチャネル部を形成するためのシリコン面が形成される。

【0116】続いて、上記シリコン基板11の表面上に12 nmの膜厚のシリコン犠牲酸化膜(図示していない)を形成した後、N型MOSFETの場合にはチャネル部として所望のしきい値を実現するための不純物であ

るボロンを、P型MOSFETの場合には砒素を、それぞれ導入する。

【0117】続いて、上記シリコン犠牲酸化膜の一部を剥離することにより、上記シリコン基板11の、(110)面方位上ののみをカバー絶縁膜21によって被覆する。すなわち、上記(100)面方位上を除く、上記(110)面方位上にのみ、上記シリコン犠牲酸化膜を残存させる。

【0118】続いて、上記シリコン基板11の表面部の残留酸素を除去するための前処理として、940°Cでのプリヒーティング処理を行う。

【0119】続いて、同図(b)に示すように、減圧気相堆積(Reduced Pressure Chemical Vapor Deposition(RP-CVD))法により、たとえば、800°Cの温度で、Si₂H₄Cl₂ガスを用いて、上記(100)面方位上に、シリコンエピタキシャル成長層(低濃度層)15を約30nmの厚さで形成する。

【0120】この後、上記(110)面方位上を被覆するカバー絶縁膜(シリコン犠牲酸化膜)21を除去する。

【0121】その後、同図(c)に示すように、急速ランプ加熱(RTO)法により、ゲート酸化処理を行って、所定の厚さのゲート絶縁膜16を形成する。たとえば、RTO法により、800°Cの温度で、10秒間という条件でゲート酸化処理を行うと、1.5nm厚の酸化膜を形成できる。このRTO法あるいは炉酸化法を用いると、適切な温度および時間を選択することによって、所望の厚さのゲート絶縁膜16が実現できる。

【0122】続いて、上記ゲート絶縁膜16上にポリシリコン膜を250nm厚程度の膜厚により堆積させた後、異方性エッチングによりパターニングして、所望のゲート長を有するゲート電極17を形成する。

【0123】続いて、所定の不純物種を導入した後、不純物の拡散および活性化のために、たとえば、窒素雰囲気中で、1000°Cの温度により、20秒間ほど、熱処理を行って、ソース・ドレイン領域20を形成する。

【0124】こうして、上記シリコンエピタキシャル成長層15を有する(100)面方位上のシリコン面、および、上記シリコンエピタキシャル成長層15を有しない(110)面方位上のシリコン面を、それぞれチャネル部として備えるMOSFETが完成される。

【0125】そして、周知の技術により、上記ゲート電極17上および上記ソース・ドレイン領域20の表面部にそれぞれシリサイド層(図示していない)を形成して各電極部の低抵抗化を図った後、コンタクト部を介して、金属配線などとの接続が行われる。

【0126】このように、(100)面方位に加え、(110)面方位上のシリコン面もがトランジスタのチャネル部に含まれるように構成した本実施形態の場合、

チャネル長方向の断面において、範囲Bで示す部分がおよそのチャネル長となる。

【0127】なお、上記した第5の実施形態にかかるMOSFETにおいては、(110)面方位上のシリコン面をも含んで、トランジスタのチャネル部を構成するようとしたが、これに限らず、たとえば図12(a)～(c)に示すように、チャネル長方向の断面においては、(111)面方位上のシリコン面を含んで、トランジスタのチャネル部(チャネル長B)を構成することも可能である。

【0128】もしくは、たとえば図13(a)～(c)に示すように、チャネル長方向の断面においては、(110)面方位上のシリコン面と(111)面方位上のシリコン面などの複数のシリコン面を含んで、トランジスタのチャネル部(チャネル長B)を構成することも可能である。

【0129】さらには、図14に示すように、チャネル長方向の断面においては、(100)以外の、たとえば(110)面方位上の複数のシリコン面を含んで、トランジスタのチャネル部(チャネル長B)を構成することも可能である。

【0130】本実施形態においては、いずれの場合も、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なMOSFETとすることができます。

【0131】なお、上記した第1～第5の各実施形態においては、(100)以外の面方位を(110)または(111)とした場合について説明したが、これに限らず、(100)面方位よりもシリコンの成長速度の遅いことが知られている、たとえば(113)や(115)、あるいは、(211)、(311)、(511)、(811)、(011)、(101)、(011)などの各面方位についても同様の効果が期待できる。

【0132】また、いずれの実施形態の場合も、(100)面方位のシリコン基板(ウェハ)を用い、その表面部に、(100)以外の面方位を意図的に形成するようとしたが、たとえば、(100)以外の面方位のシリコン基板に対しても、同様に実施することができる。すなわち、(100)以外の面方位のシリコン基板においては、異方性エッチングあるいは化学エッチングなどによって(100)面方位を露出させた後、その露出面のトランジスタのチャネル部の形成領域に、シリコンエピタキシャル成長層を形成するようにすればよい。

【0133】また、シリコンエピタキシャル成長層の形成は減圧気相堆積法に限らず、たとえば、低圧気相堆積(UHV-CVD)法などによっても形成できる。さらには、使用するガスもSi₂H₄Cl₂に限らず、Si₂H₆、SiHCl₄、SiH₄などや、それらとH₂またはHClとの混合ガスを使用することも可能である。

【0134】また、各実施形態では、シリコンエピタキシャル成長層15を30nmの膜厚としたが、0.2nm程度の厚さから効果は得られ、より厚い膜であれば、表面の平坦化やゲート漏れ電流の低減の効果はさらに大きくなる。ただし、ゲート電極によるトランジスタのスイッチング特性の制御を良好に実現するためには、70nm程度までの厚さとするのがよい。

【0135】また、上記した第1～第5の各実施形態においては、エピタキシャル成長層を主にシリコンで構成する場合について説明したが、これに限らず、主にシリコンとゲルマニウムとの混合層で構成される層を用いても、同様の効果が期待できる。

【0136】(第6の実施形態) また、(100)面方位と異なる面方位上にチャネル/ゲート絶縁膜界面を有するMOSFETのゲート絶縁膜(第二のゲート絶縁膜)としては、(100)面方位上にチャネル/ゲート絶縁膜界面を有するMOSFETのゲート絶縁膜(第一のゲート絶縁膜)よりも薄く形成するのが望ましい。特に、(111)面方位上に形成されるMOSFETにおいては、たとえば、酸化膜換算容量膜厚で2.5nm以下、もしくは、ゲート絶縁膜が積層膜構造の場合は、そのシリコン基板と接する絶縁膜の膜厚を2.5nm以下とするのがよい。

【0137】ここで、図15を参照して、本発明の第6の実施形態にかかる、MOSFETにおけるゲート絶縁膜の膜厚について説明する。なお、同図(a)は単層膜構造のゲート絶縁膜を形成するようにした場合の例であり、同図(b)は積層膜構造のゲート絶縁膜を形成するようにした場合の例である。

【0138】図15(a)において、ゲート絶縁膜(第二のゲート絶縁膜)16aは、たとえば、急速ランプ加熱(RTO)法によるゲート酸化処理によって、少なくともシリコン基板11の(111)面方位(N-ウェル領域13a)上に、2.5nm以下の厚さを有して形成される。

【0139】上述したように、たとえば、RTO法により、800°Cの温度で、10秒間という条件でゲート酸化処理を行うと、後掲する表2に示すように、1.5nm厚の酸化膜(Pure oxide)が形成できる。このように、RTO法を用いると、適切な温度および時間を選択することによって、(111)面方位上に2.5nm以下の所望の厚さのゲート絶縁膜16aを実現できる。

【0140】

【表2】

表 2

		(100) av.(nm) σ(%)	(111) av.(nm) σ(%)
Pure oxide	700°C, O ₂ 10%, 2s	1.29 0.90	1.16 0.86
	800°C, O ₂ 50%, 1s	1.36 0.98	1.32 0.85
	800°C, O ₂ 100%, 10s	1.54 0.83	1.47 0.72
	800°C, O ₂ 100%, 30s	1.81 0.86	1.74 0.81
	800°C, O ₂ 100%, 120s	2.14 0.83	2.03 0.72
Oxynitride	RTO(800°C, O ₂ 50%, 1s) + Furnace(850°C, NO 10%, 30m)	2.98 0.57	3.63 1.06
		2.22 0.38	2.14 0.38

【0141】図15(b)において、ゲート絶縁膜16aは、たとえば、シリコン酸化膜(第二のゲート絶縁膜)16a-1と高誘電体膜16a-2との積層膜構造をして構成されている。この場合、上記シリコン酸化膜16a-1は、上述したように、急速ランプ加熱(RTO)法によるゲート酸化処理によって、少なくともシリコン基板11の(111)面方位(N-ウェル領域13a)上に、2.5nm以下の厚さを有して形成される。そして、そのシリコン酸化膜16a-1上に、Al₂O₃などからなる高誘電体膜16a-2が積層されて、ゲート絶縁膜16aは形成されている。

【0142】このように、ゲート絶縁膜の膜厚が制御された、(100)以外の、(111)面方位上のMOSトランジスタ(MOSFET)においては、ゲート絶縁

膜が厚い場合に比べ、シリコン基板11とゲート絶縁膜16aとの界面の準位などを改善することが可能となる結果、トランジスタ性能を格段に向上できる。

【0143】図16は、8インチウエハを例に、ウエハ面内における酸化膜の膜厚のばらつきについて、(100)面方位と(111)面方位とを比較して示すものである。

【0144】この図からも明らかのように、酸化膜の膜厚T_{ox}が2.0～2.5nm付近を境にして、それよりも厚い場合には(100)面方位の方が特性はよく、それよりも薄い場合には(111)面方位の方が特性はよくなる。特に、(111)面方位において、酸化膜の膜厚T_{ox}が2.5nm以下であれば、ウエハ面内におけるばらつきσ(T_{ox})は向上することが分かる。

【0145】図17は、N型MOSFETのトランスクンダクタンスGmおよびしきい値電圧V_{th}の、ウエハ面内におけるばらつきを、(100)面方位の8インチウエハ上のトランジスタと(111)面方位の8インチウエハ上のトランジスタとで比較して示すものである。

【0146】この図からも明らかのように、酸化膜の膜厚T_{ox}が2.0~2.5nm付近を境にして、それよりも厚い場合には(100)面方位の方が特性はよく、それよりも薄い場合には(111)面方位の方が特性はよくなる。特に、(111)面方位の8インチウエハにおいて、酸化膜の膜厚が2.5nm以下の場合、厚い場合(5nm)に比べ、トランジスタ性能のばらつきは格段に抑制されることが分かる。

【0147】図18は、8インチウエハを例に、(111)面方位上のMOSキャパシタのTDDDB信頼性を、(100)面方位上のMOSキャパシタと比較して示すものである。なお、同図(a)はウエハ面内でのばらつきを、同図(b)は酸化膜の膜厚依存性を、それぞれ示している。

【0148】酸化膜の膜厚T_{ox}が2.0~2.5nmよりも薄くなると、(111)面方位上のMOSキャパシタのTDDDB信頼性は、同一条件の酸化処理を施した場合、(100)面方位上のMOSキャパシタに比べ格段に向上することが分かる。

【0149】同様に、(111)面方位上のトランジスタにおいても、酸化膜の膜厚を2.0nm以下とした場合、より高信頼性のトランジスタを実現できる。

【0150】図19(a)~(c)は、(100)面方位上に厚いゲート酸化膜16bを有するMOSFETを、(111)面方位上に薄いゲート酸化膜16aを有するMOSFETを、それぞれ形成するようにしたものである。

【0151】この場合、(100)面方位と(111)面方位との両方において、より高性能で、かつ、高信頼性のトランジスタを実現できる。

【0152】(100)面方位および(111)面方位上の各ゲート酸化膜16a、16bは、二度の酸化工程によりそれぞれ所望の膜厚になるように形成するようにしてもよいし、または、上記の表2や図20(a)、(b)に示すように、およそ2.2nm以下の膜厚の場合には、一度の酸化工程によって、(100)面方位上よりも薄い酸化膜を(111)面方位上に同時に形成することも可能である。

【0153】因みに、図20(a)は、(100)、(111)面方位上に形成されるシリコン酸化膜の酸化速度と酸化膜厚との関係を示し、図20(b)は、(100)、(111)面方位上に形成されるシリコン酸化膜の酸化膜厚の比(同一酸化条件の場合)を示している。

【0154】図21(a)~(d)は、積層膜16-1、

16-2からなるゲート絶縁膜16を有するMOSFETを、それぞれ、(100)、(111)面方位上に形成するようにした場合を例に示すものである。

【0155】この場合、上記ゲート絶縁膜16は、たとえば、シリコン酸化膜16-1上に高誘電体膜16-2を積層してなる構成とされている。

【0156】なお、図15(a)および図19に示したMOSFETにおいて、ゲート絶縁膜16aとしては、酸化膜に限定されるものではない。たとえば、シリコン窒化膜、シリコン窒化酸化膜(Oxynitride)、あるいは、それらの積層膜であってもよく、酸化膜換算容量膜厚で2.5nm以下、好ましくは2.0nm以下の膜厚であれば、同様の効果が得られる。

【0157】シリコン窒化膜の場合は、シリコン酸化膜の約2倍の誘電率をもつため、5nm以下の膜厚とすることにより、その効果が得られる。

【0158】シリコン窒化酸化膜の場合は、酸化膜と窒化膜との間の、窒素の含有濃度に応じた誘電率をもつため、2.5nmから5.0nmが、その含有窒素濃度に応じた上限膜厚となり、その含有窒素濃度に応じた膜厚以下の場合に、同様の効果が得られる。すなわち、シリコン窒化酸化膜の比誘電率ε_{SiON}は、絶縁膜中の窒素および酸素の組成比から、次の式1に示すように見積もることができる。

【0159】

$$\epsilon_{SiON} = (1-x) \epsilon_{SiO2} + x \epsilon_{Si3N4} \dots \quad (1)$$

ここで、xは、シリコン窒化酸化膜中のSiONに対するSi₃N₄の割合を示す。

【0160】シリコン酸化膜の比誘電率ε_{SiO2}はおよそ3.9、シリコン窒化膜の比誘電率ε_{Si3N4}はおよそ7.9であるから、シリコン窒化酸化膜の比誘電率ε_{SiON}は次の式2より求められる。

【0161】

$$\epsilon_{SiON} = 3.9 + 4x, \quad 0 < x < 1 \dots \quad (2)$$

本発明の効果が得られる絶縁膜の膜厚は、酸化膜換算容量膜厚で2.5nm以下のため、シリコン窒化酸化膜の場合は、含有窒素濃度に応じて、2.5(3.9+4x)/3.9nmの膜厚以下で、同様の効果が得られる。

【0162】特に、シリコン窒化酸化膜を用いた場合、その膜厚のばらつきは酸化膜の場合よりも小さくなる(表2参照)。したがって、より高性能で、高信頼性のトランジスタを実現できる。

【0163】図15(b)および図21のMOSFETにおいて、ゲート絶縁膜16は、シリコン酸化膜16-1と高誘電体膜16-2との積層膜に限定されるものではない。すなわち、上記シリコン酸化膜16-1に代えて、たとえば、シリコン窒化膜、シリコン窒化酸化膜(Oxynitride)、あるいは、それらの積層膜を用いることも可能であり、酸化膜換算容量膜厚で2.5nm以

下、好ましくは2.0nm以下の膜厚であれば、上記の場合と同様の効果が得られる。

【0164】同様にして、高誘電体膜16-2については、上記のAl₂O₃に代えて、たとえば、HfO₂-SiO₂、ZrO₂-SiO₂、2La₂O₃-SiO₂、Gd₂O₃-SiO₂などのシリケートや、Si₃N₄、Ta₂O₅、Sc₂O₃、Y₂O₃、Gd₂O₃、La₂O₃、Ta₂O₅、ZrO₂、LaAlO₃、ZrTiO₄、HfO₂、SrZrO₃、Hf_xSn_yTi_zO、Zr_xSn_yTi_zO、TiO₂、SrTiO₃、SrBi₂Ta₂O₉、Ba_xSr_{1-x}TiO₃、PZTなどの絶縁性を有する膜を用いることが可能であり、いずれの場合においても、同様の効果が期待できる。

【0165】特に、積層膜構造のゲート絶縁膜16の場合、その上層部側は、上記高誘電体膜16-2のような単層膜に限らず、たとえば、ゲート電極界面との特性改善や信頼性の向上、および、漏れ電流の低減などの目的のために、2層以上の異なる材質の膜を積層して構成するようにしてもよく、この場合も、同様の効果が期待できるのは勿論である。

【0166】なお、上記した第6の各実施形態においては、(100)以外の面方位を(111)とした場合について説明したが、これに限らず、たとえば(110)、(113)や(115)、あるいは、(211)、(311)、(511)、(811)、(011)、(101)、(011)などの各面方位についても同様の効果が期待できる。

【0167】特に、(110)、(111)面方位上にP型MOSFETのチャネル部のゲート絶縁膜と接する部分を構成する場合、チャネルモビリティが向上する。一方、N型MOSFETについては、(100)面方位上にチャネル部のゲート絶縁膜と接する部分を構成することによって、チャネルモビリティが向上する。この結果、高性能のCMOSが実現できる。このとき、N型MOSFETのチャネル部のゲート絶縁膜と接する部分には、シリコンエピタキシャル成長層はあってもなくてもよい。

【0168】本実施形態においては、(100)面方位上にN型MOSFETのチャネル部を、(100)以外の面方位上にP型MOSFETのチャネル部を、それぞれ形成する場合の例について説明した。この場合、N型MOSFETおよびP型MOSFETともに良好なモビリティが得られるとともに、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なCMOSとすることができる。

【0169】また、(100)面方位上および(100)面方位と異なる面方位上に同じ導電型のMOSFETを形成する場合(たとえば、両方の面方位上にN型MOSFETをそれぞれ形成する場合、あるいは、両方の

面方位上にP型MOSFETをそれぞれ形成する場合)においても、同様に、高信頼性、かつ、低リーク電流で、ノイズ特性の良好なMOSFETとすることができます。この場合、(100)面方位上のMOSFETのチャネル部と、(100)面方位と異なる面方位上のMOSFETとは、ゲート絶縁膜の膜厚が異なることにより、しきい値や駆動力の異なる同じ導電型のMOSFETを形成することが可能である。

【0170】その他、本願発明は、上記(各)実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記(各)実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、

(各)実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題(の少なくとも1つ)が解決でき、発明の効果の欄で述べられている効果(の少なくとも1つ)が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【0171】

【発明の効果】以上、詳述したようにこの発明によれば、(100)以外の面方位上に設けられるMOSFETの信頼性およびゲート漏れ電流、ノイズ特性などの特性を向上でき、さまざまな面方位上において、それぞれ特性の良好なMOSFETを実現することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかるCMOSの製造方法について説明するために示す工程断面図。

【図2】本発明の第2の実施形態にかかるCMOSの製造方法について説明するために示す工程断面図。

【図3】同じく、本発明の第2の実施形態にかかるCMOSの他の構成における製造方法を示す工程断面図。

【図4】同じく、本発明の第2の実施形態にかかるCMOSのさらに別の構成における製造方法を示す斜視図。

【図5】同じく、図4に示したCMOSの製造方法を説明するための工程断面図。

【図6】本発明の第3の実施形態にかかるCMOSの製造方法について説明するために示す工程断面図。

【図7】本発明の第4の実施形態にかかるCMOSの製造方法について説明するために、第一の構成を例に示す工程断面図。

【図8】同じく、本発明の第4の実施形態にかかるCMOSの製造方法について説明するために、第二の構成を例に示す工程断面図。

【図9】同じく、本発明の第4の実施形態にかかるCMOSの製造方法について説明するために、第三の構成を例に示す工程断面図。

【図10】同じく、本発明の第4の実施形態にかかるC

MOSの製造方法について説明するために、第四の構成を例に示す断面図。

【図11】本発明の第5の実施形態にかかるCMOSの製造方法について説明するために、第一の構成を例に示す工程断面図。

【図12】同じく、本発明の第5の実施形態にかかるCMOSの製造方法について説明するために、第二の構成を例に示す工程断面図。

【図13】同じく、本発明の第5の実施形態にかかるCMOSの製造方法について説明するために、第三の構成を例に示す工程断面図。

【図14】同じく、本発明の第5の実施形態にかかるCMOSの製造方法について説明するために、第四の構成を例に示す断面図。

【図15】本発明の第6の実施形態における、ゲート絶縁膜の構成の一例を示すMOSFETの断面図。

【図16】本発明にかかる、ウエハ面内における酸化膜の膜厚のばらつきについて説明するために示す特性図。

【図17】本発明にかかる、MOSFETのトランスクンダクタンスおよびしきい値電圧の、ウエハ面内におけるばらつきについて説明するために示す特性図。

【図18】本発明にかかる、MOSキャパシタを例に、その信頼性について説明するために示す特性図。

【図19】本発明にかかる、(100)面方位上に厚いゲート酸化膜を有するMOSFETを、(111)面方位上に薄いゲート酸化膜を有するMOSFETを、それぞれ形成するようにした場合を例に示すCMOSの工程断面図。

【図20】本発明にかかる、面方位とシリコン酸化膜との関係について説明するために示す特性図。

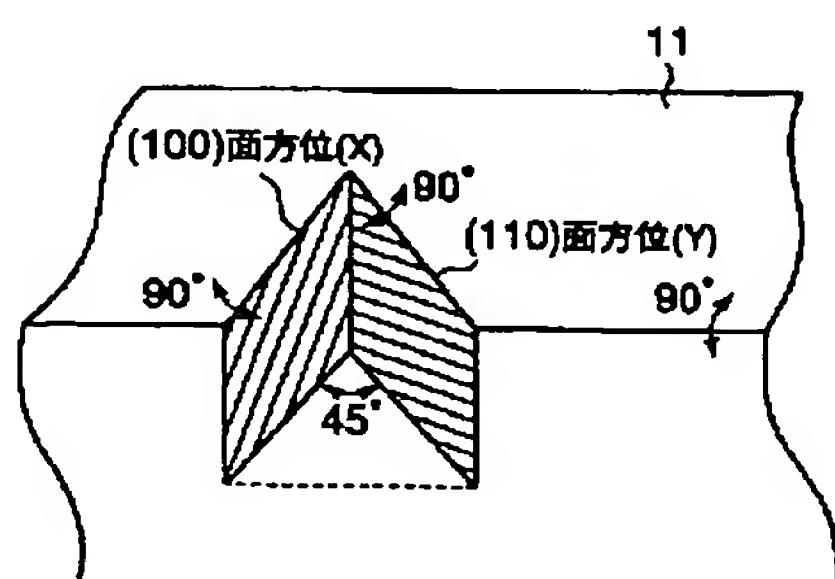
【図21】本発明にかかる、積層膜からなるゲート絶縁膜を有するMOSFETを、(100)、(111)面方位上に形成するようにした場合を例に示すCMOSの工程断面図。

【図22】従来技術とその問題点を説明するために示す、CMOSの工程断面図。

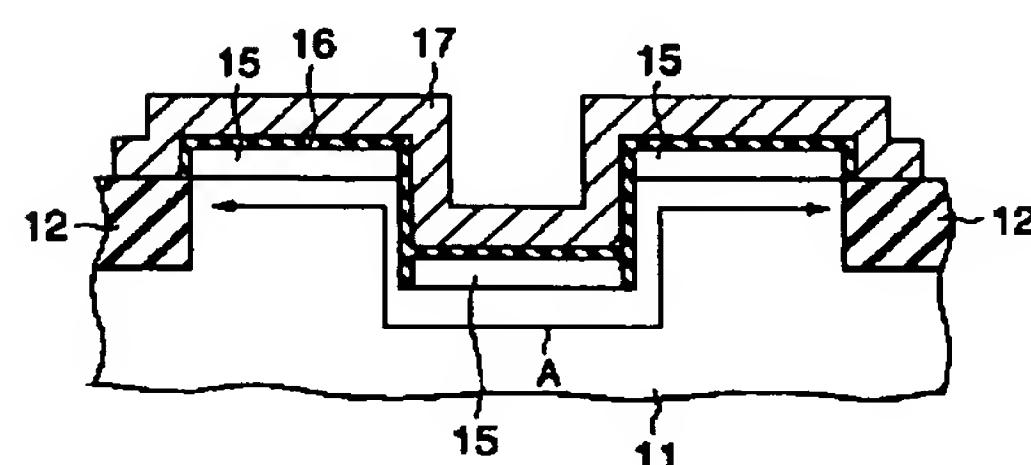
【符号の説明】

- 11…シリコン基板
- 12…素子分離領域
- 13a…素子領域 (N-型ウエル領域)
- 13b…素子領域 (P-型ウエル領域)
- 15…シリコンエピタキシャル成長層
- 16, 16a, 16b…ゲート絶縁膜
- 16a-1, 16-1…シリコン酸化膜
- 16a-2, 16-2…高誘電体膜
- 17, 17a, 17b…ゲート電極
- 18…浅いソース・ドレイン領域
- 19…ゲート側壁部
- 20, 20a, 20a-1, 20a-2, 20b…深いソース・ドレイン領域
- 21…カバー絶縁膜
- A…チャネル幅
- B…チャネル長
- X…(100)面方位
- Y…(110)面方位

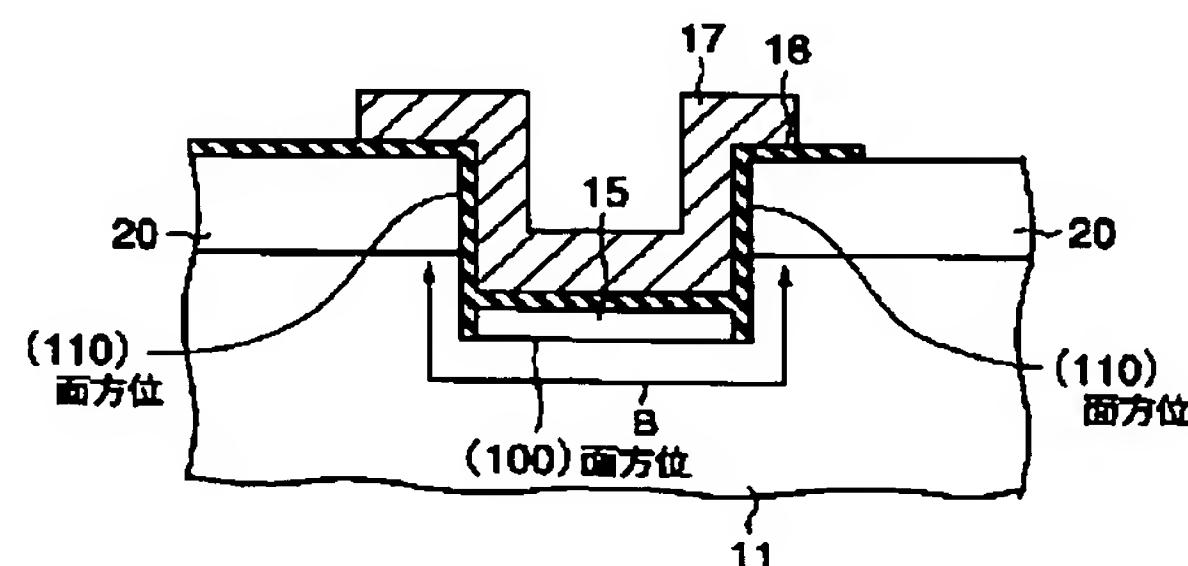
【図4】



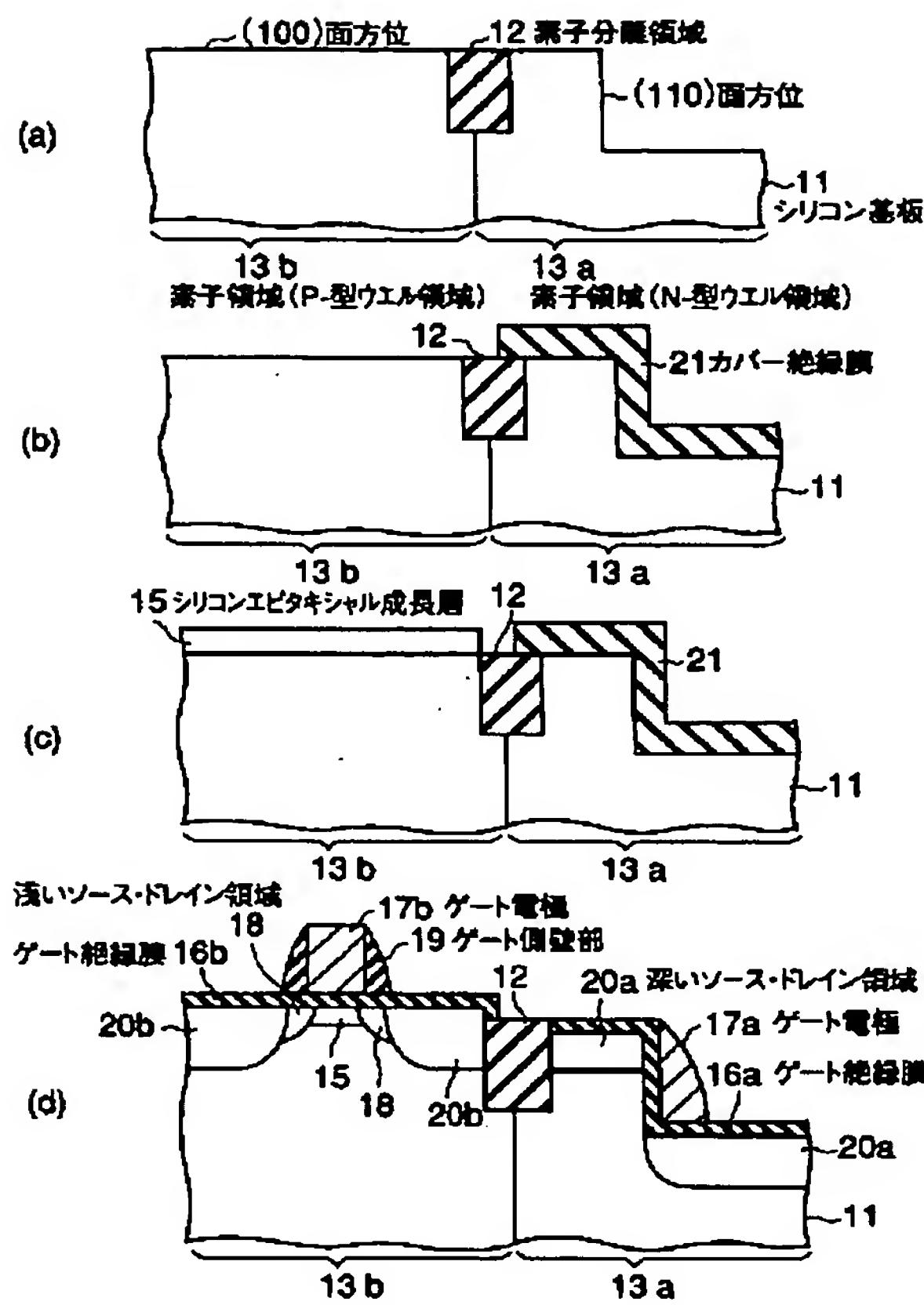
【図10】



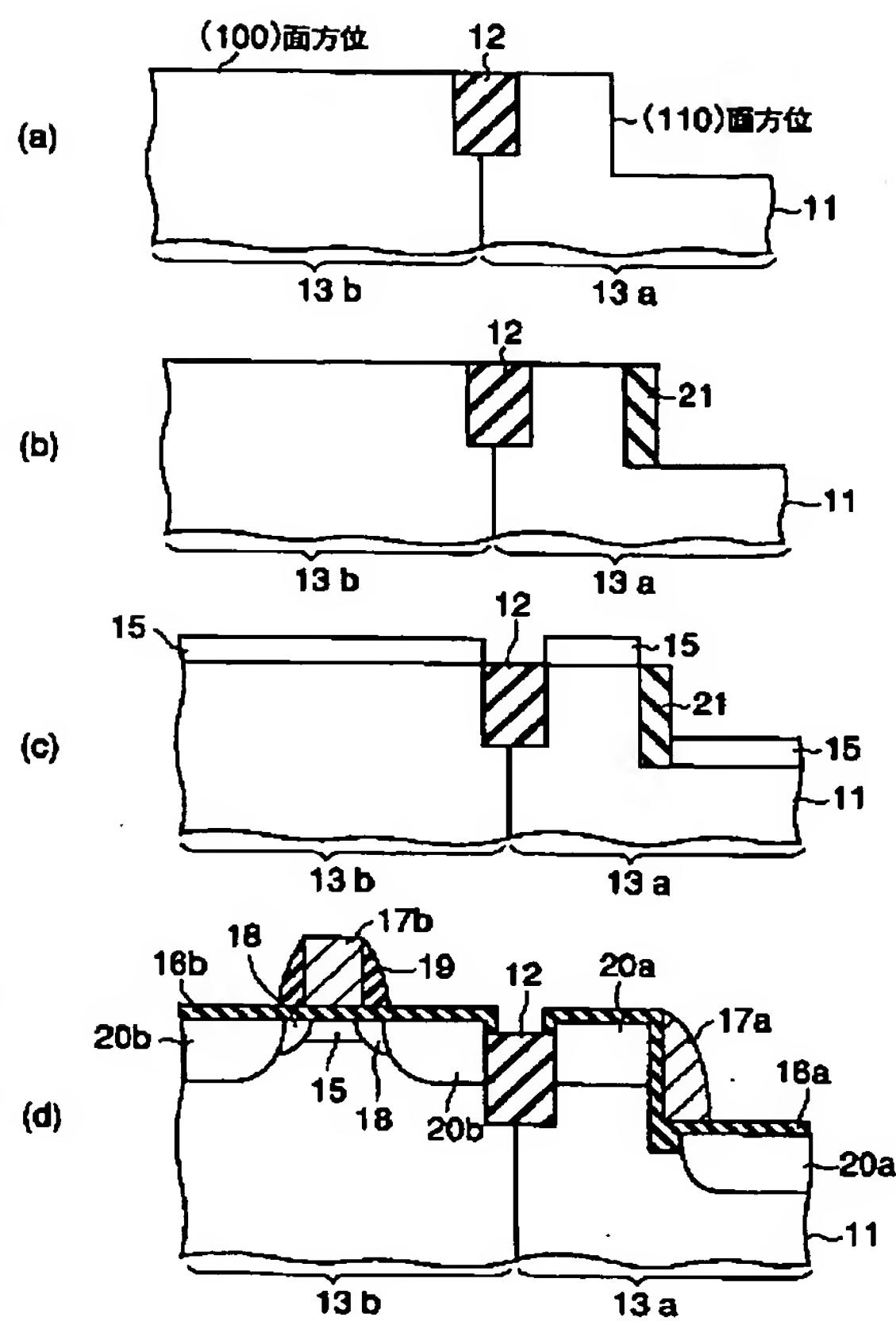
【図14】



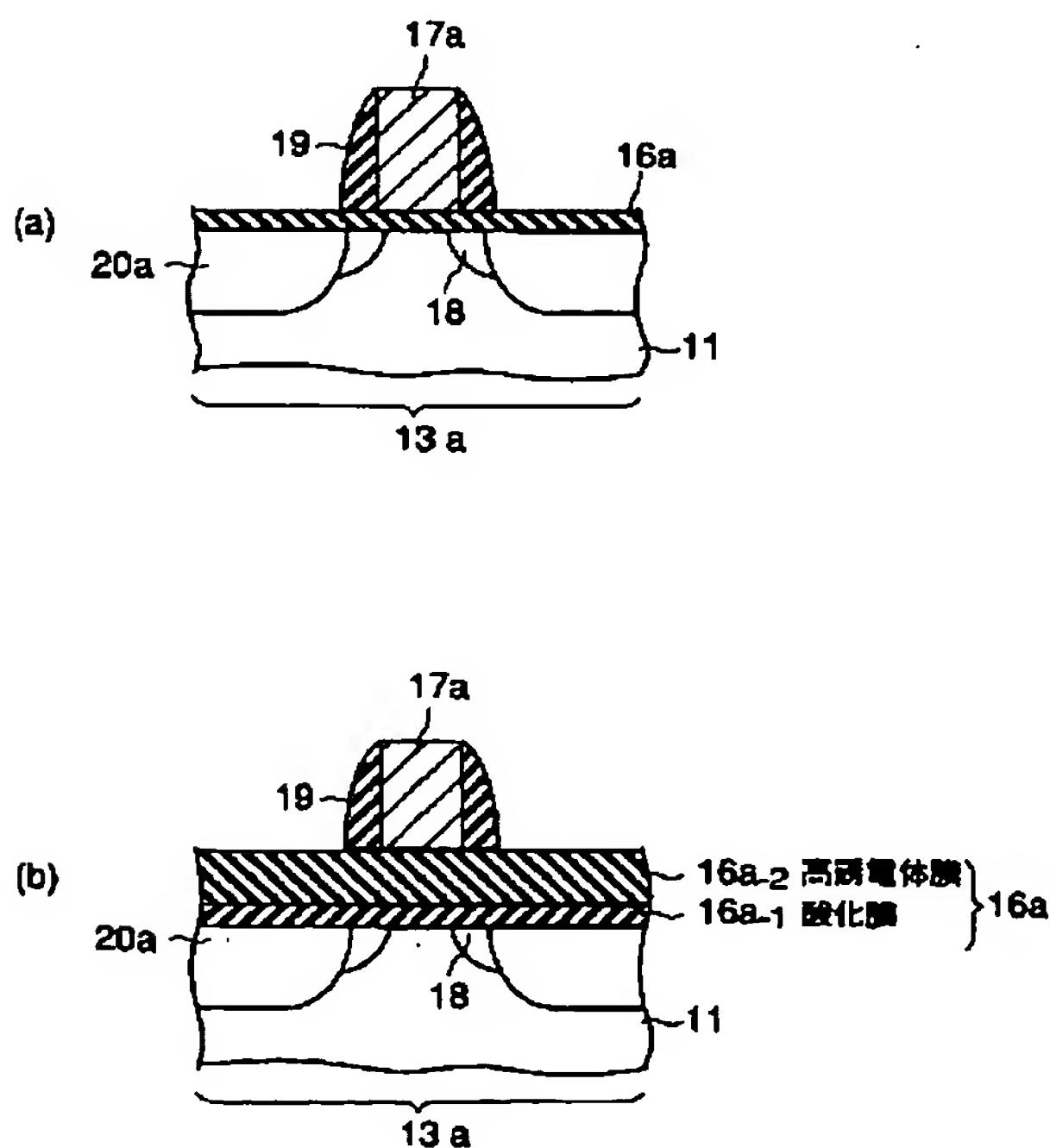
【図1】



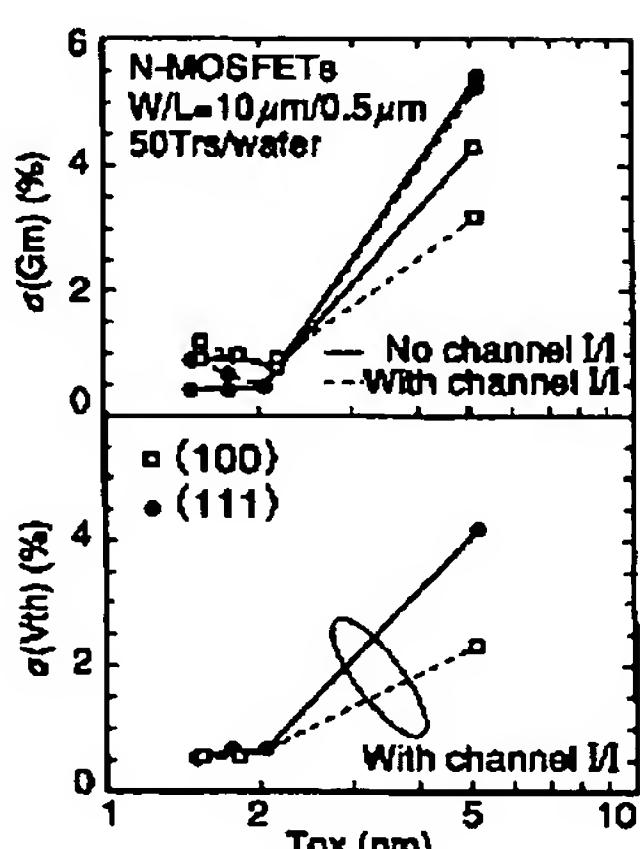
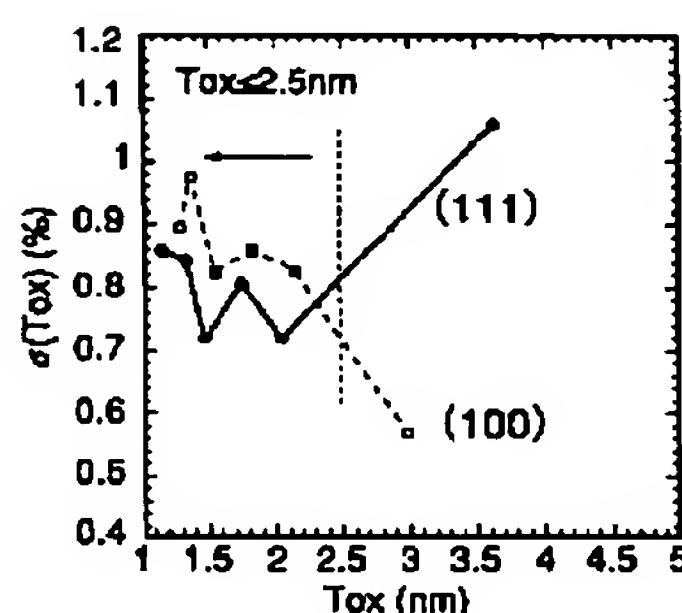
【図2】



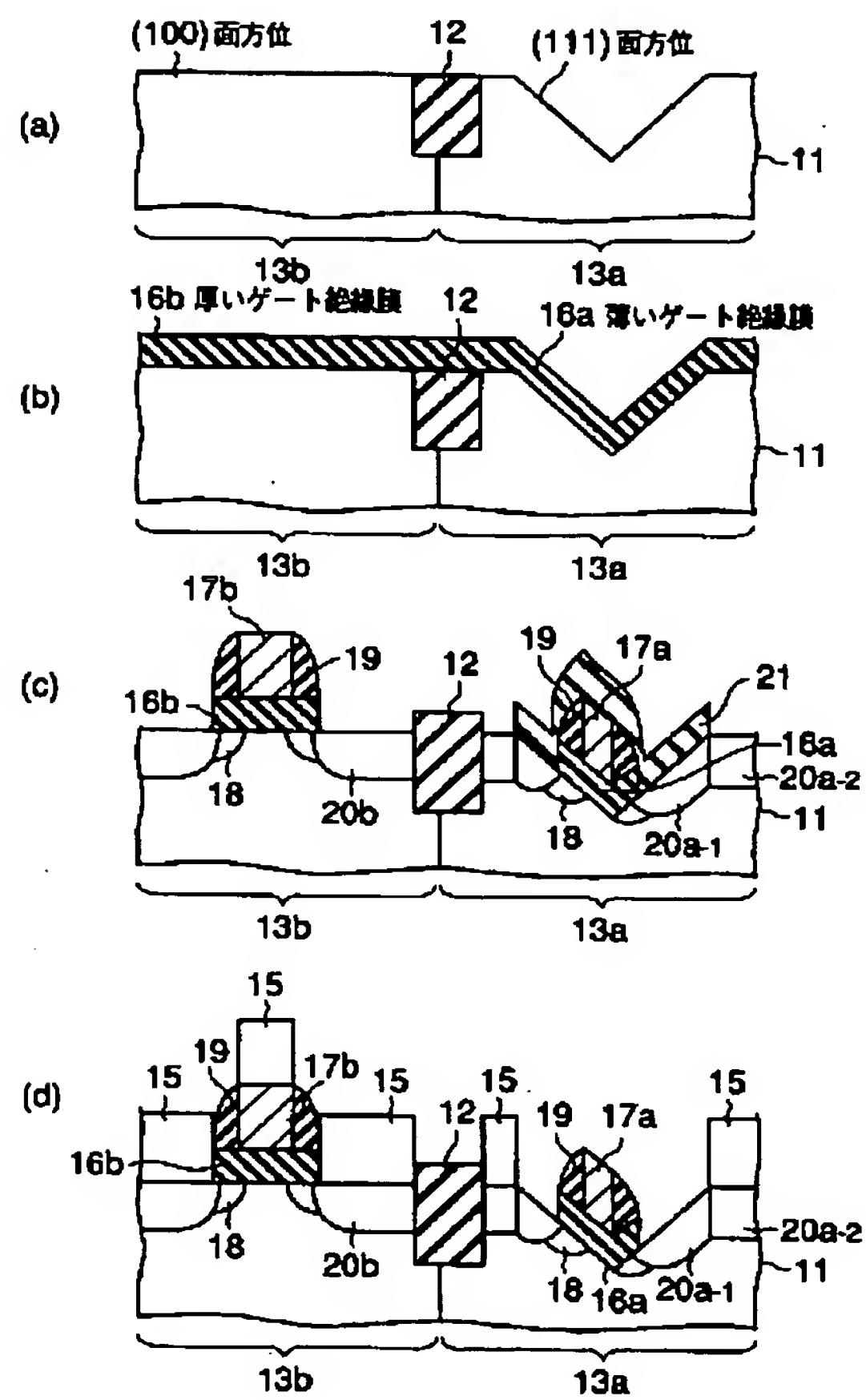
【図15】



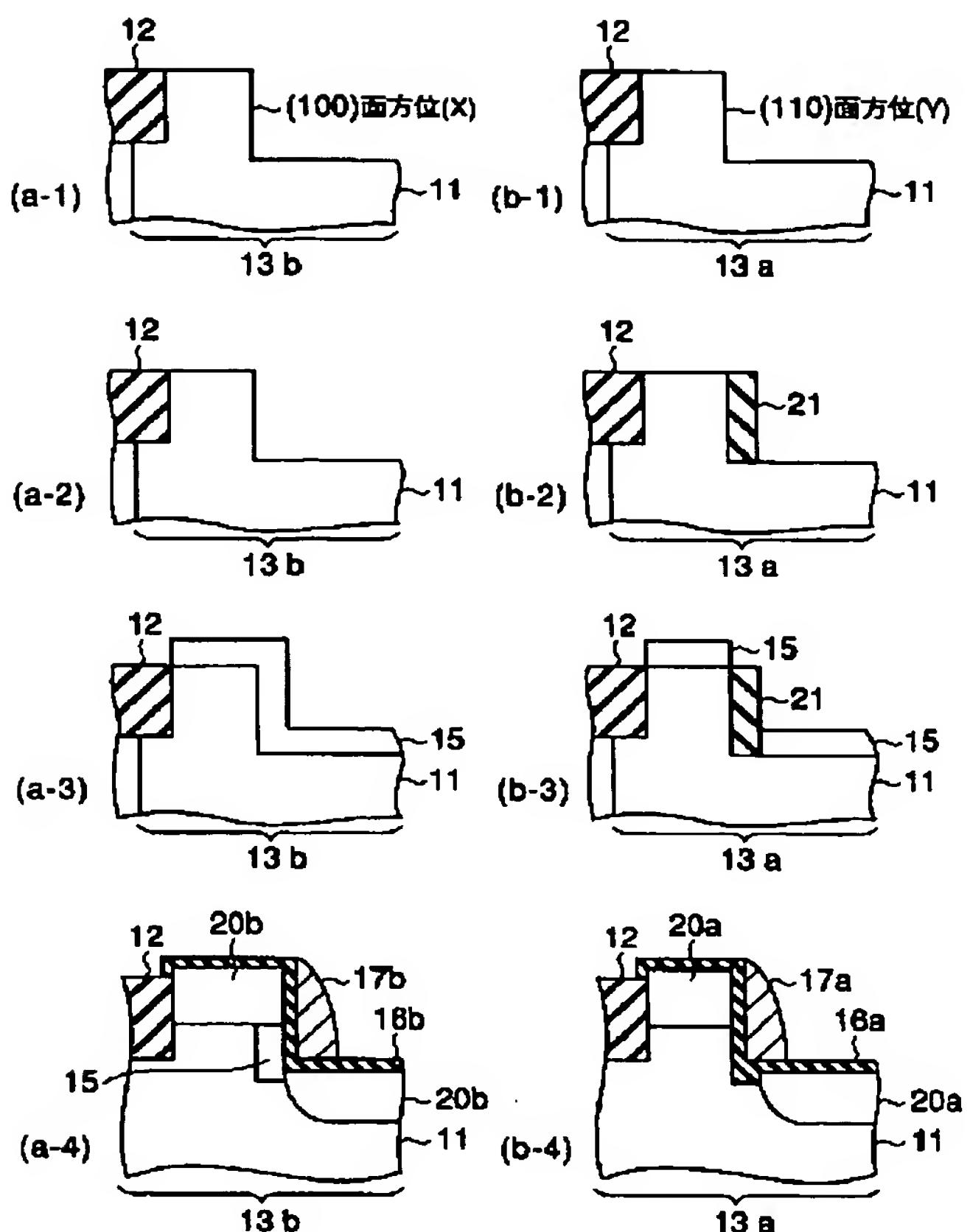
【図16】



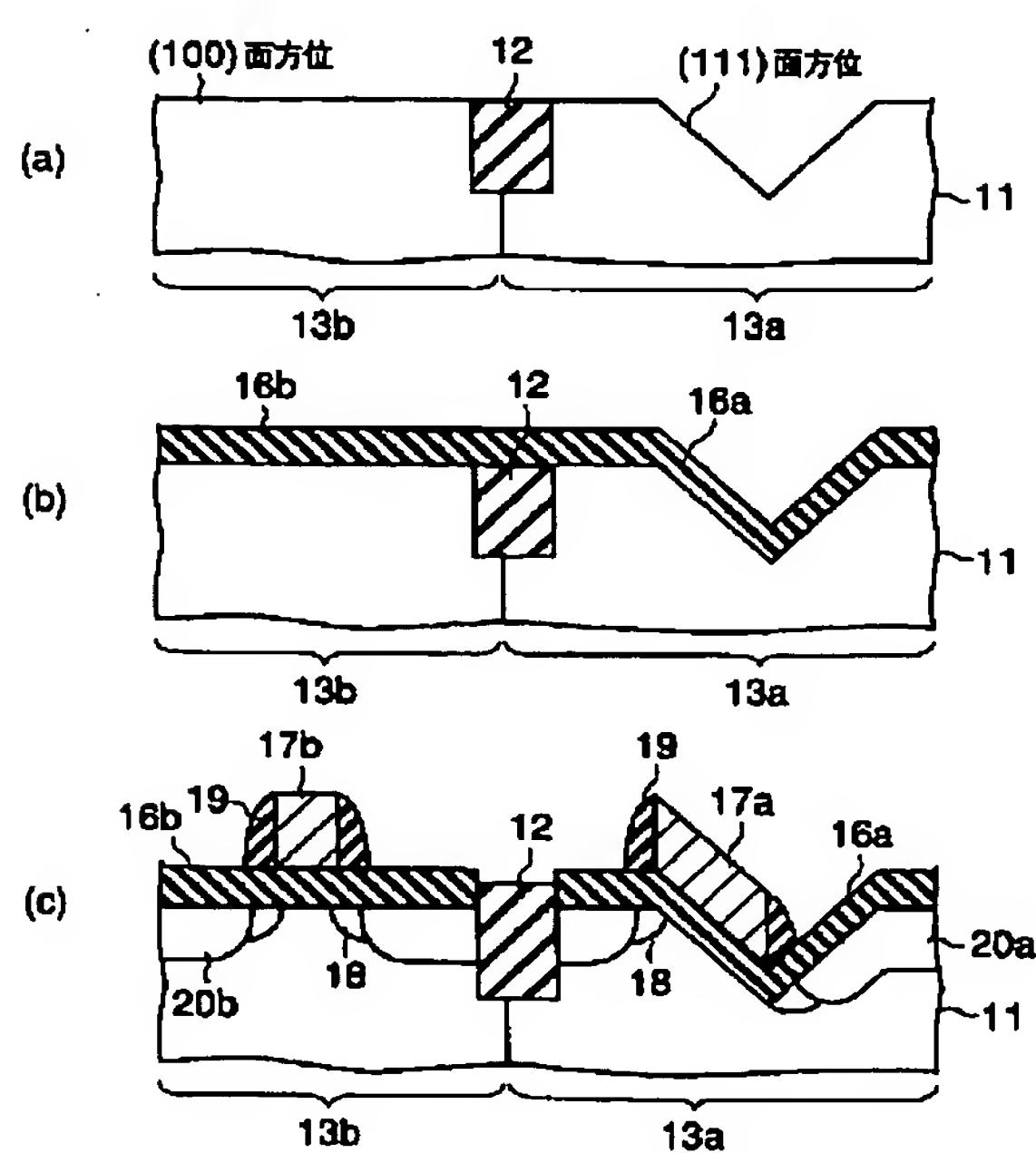
【図3】



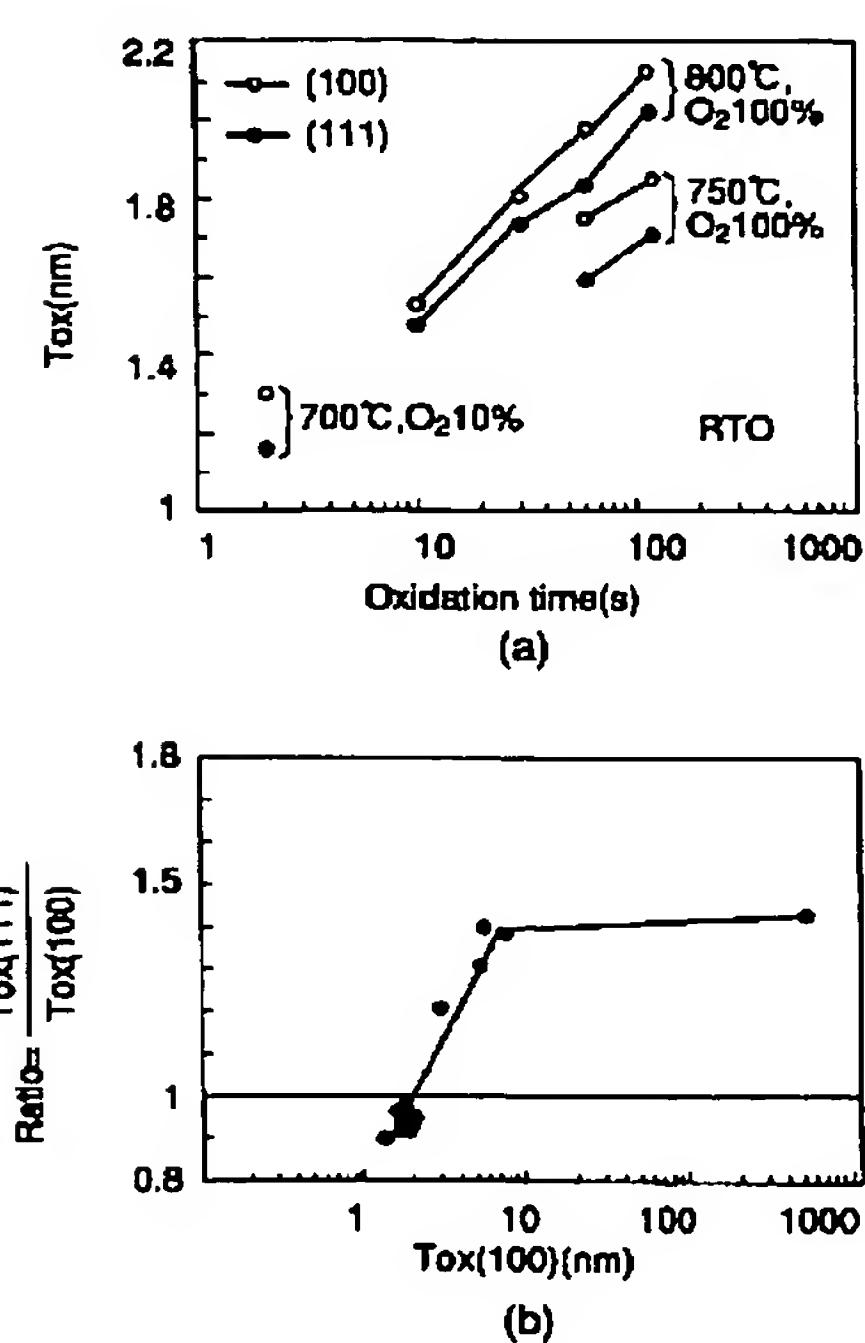
【図5】



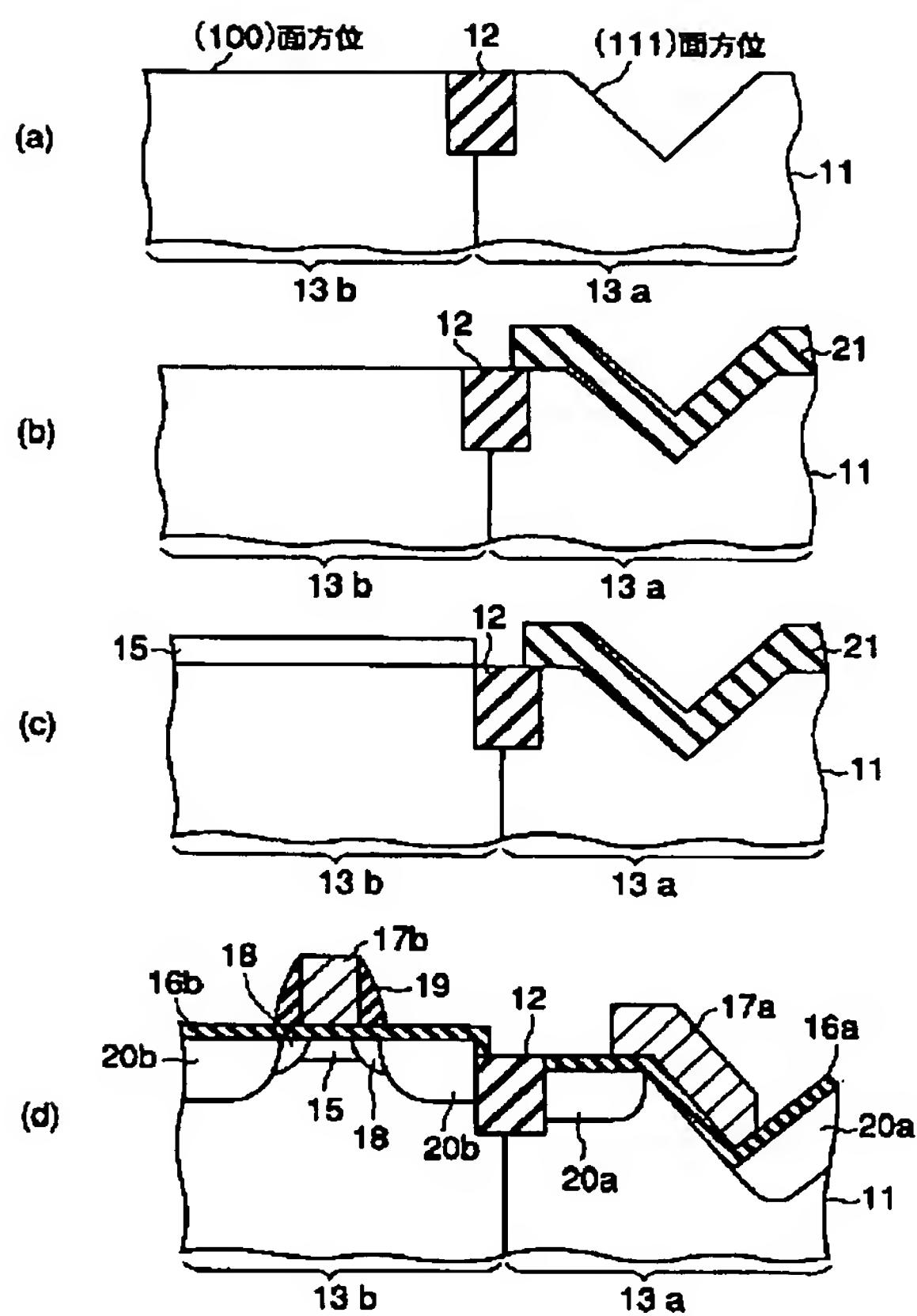
【図19】



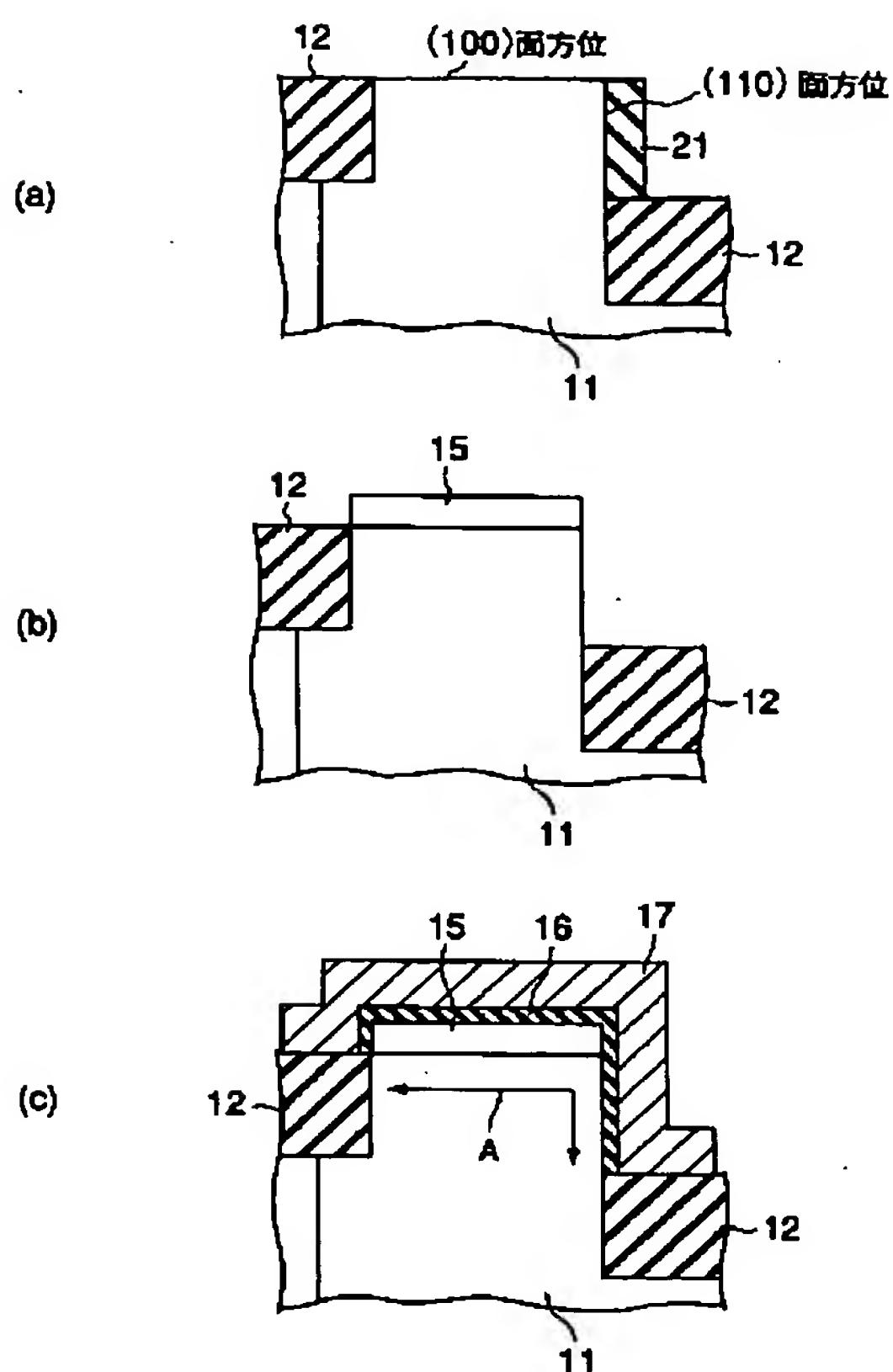
【図20】



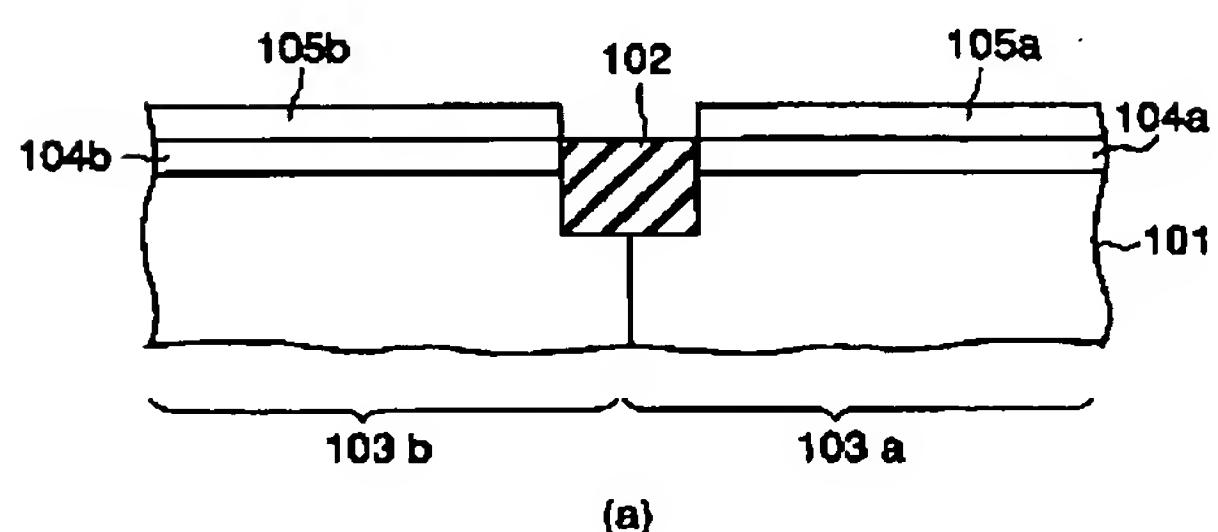
【図6】



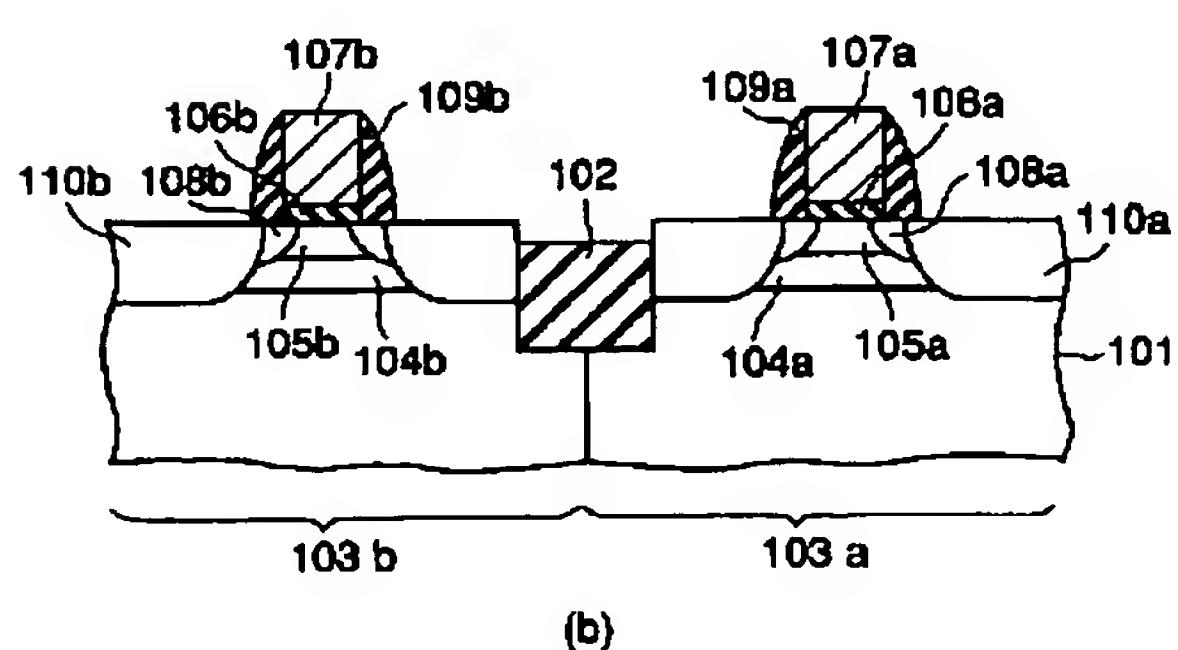
【図7】



【図22】

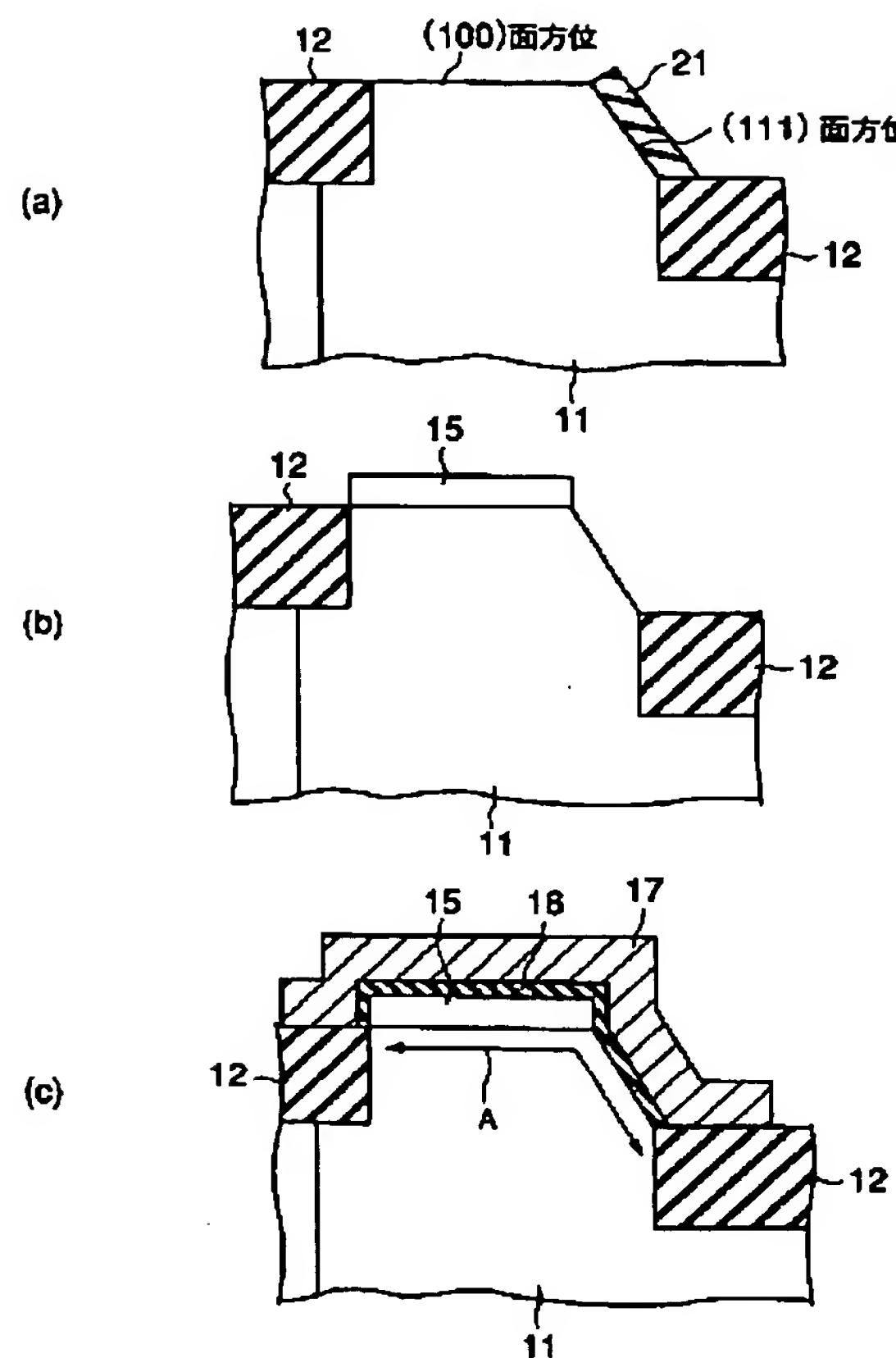


(a)

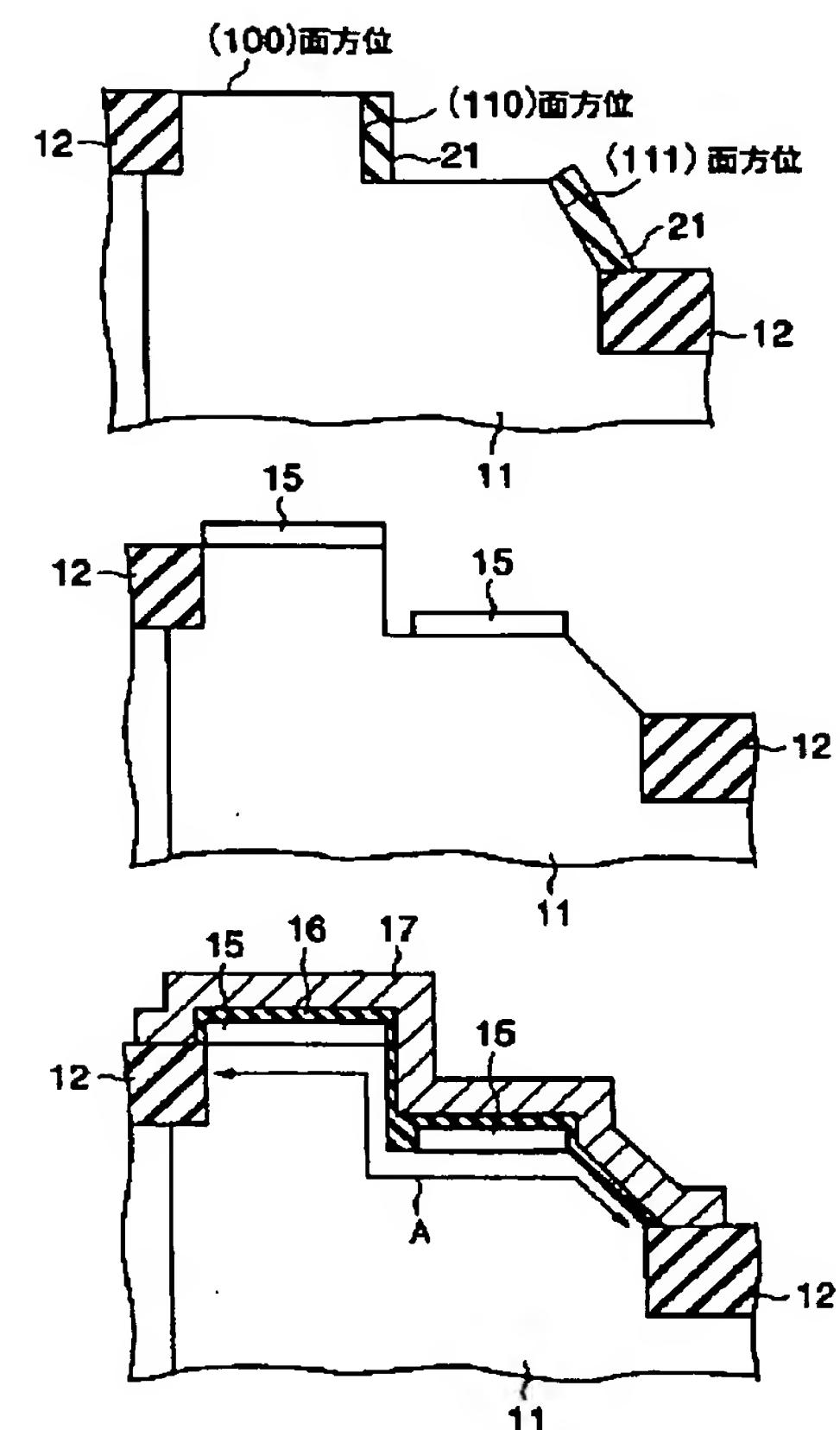


(b)

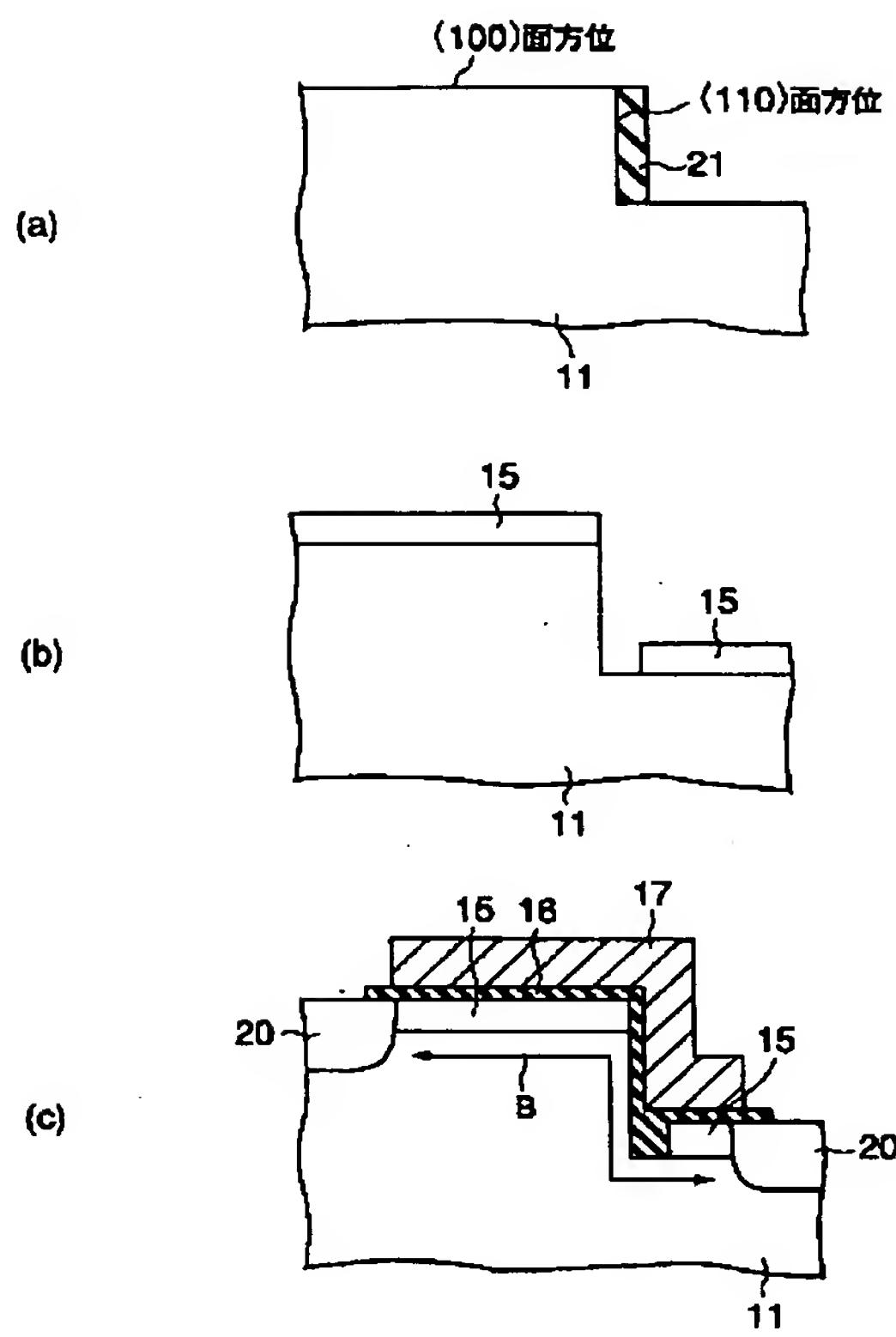
【図8】



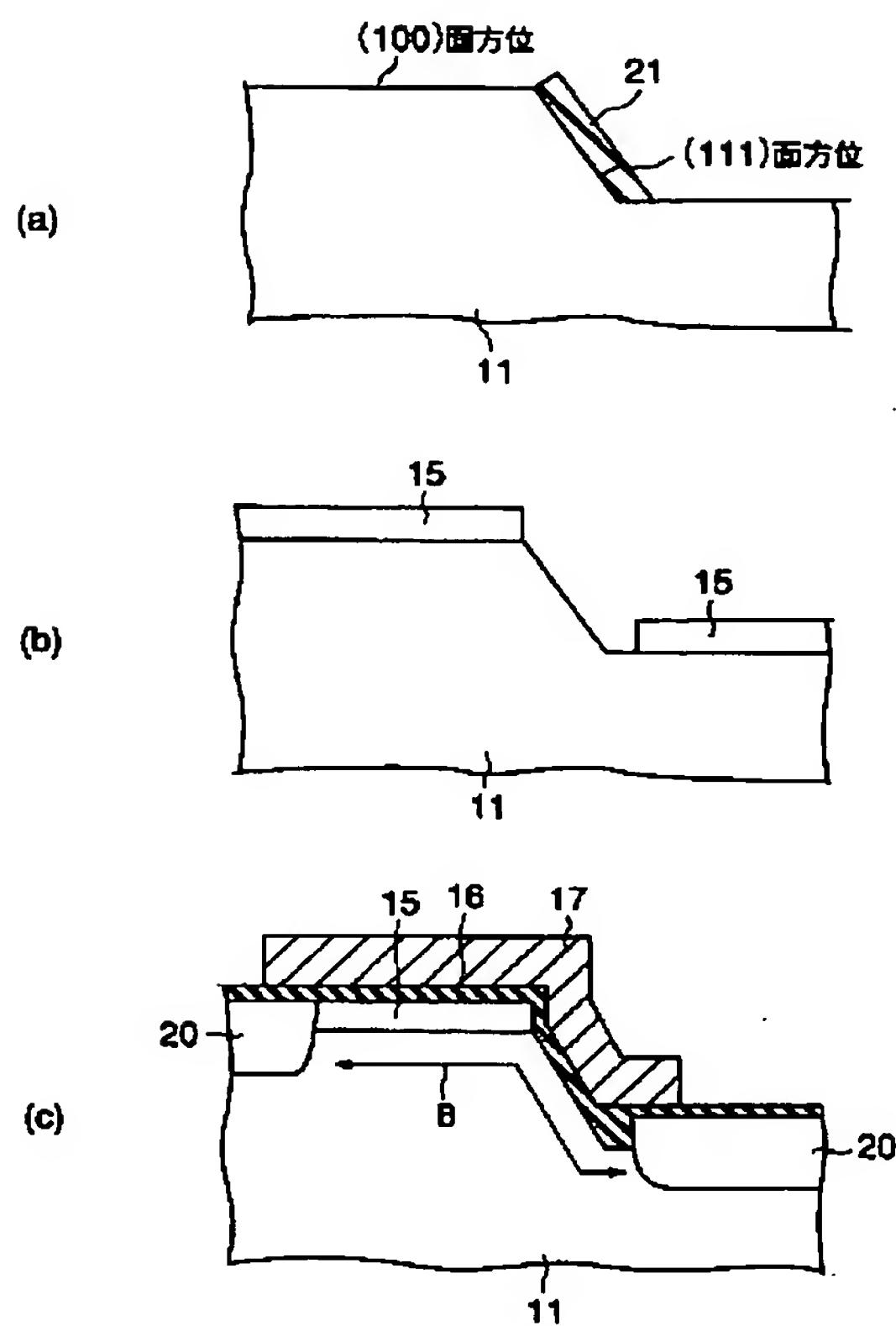
【図9】



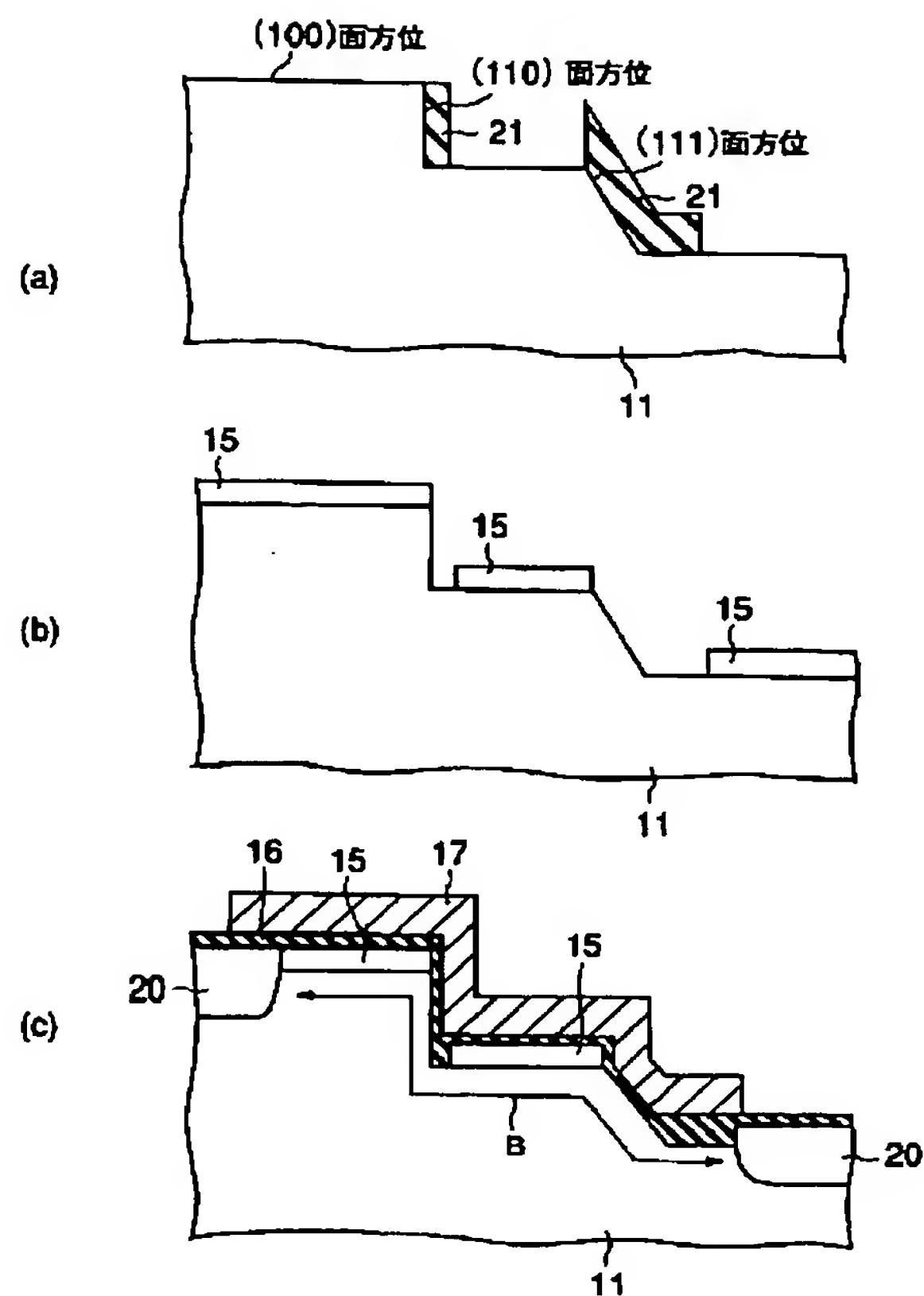
【図11】



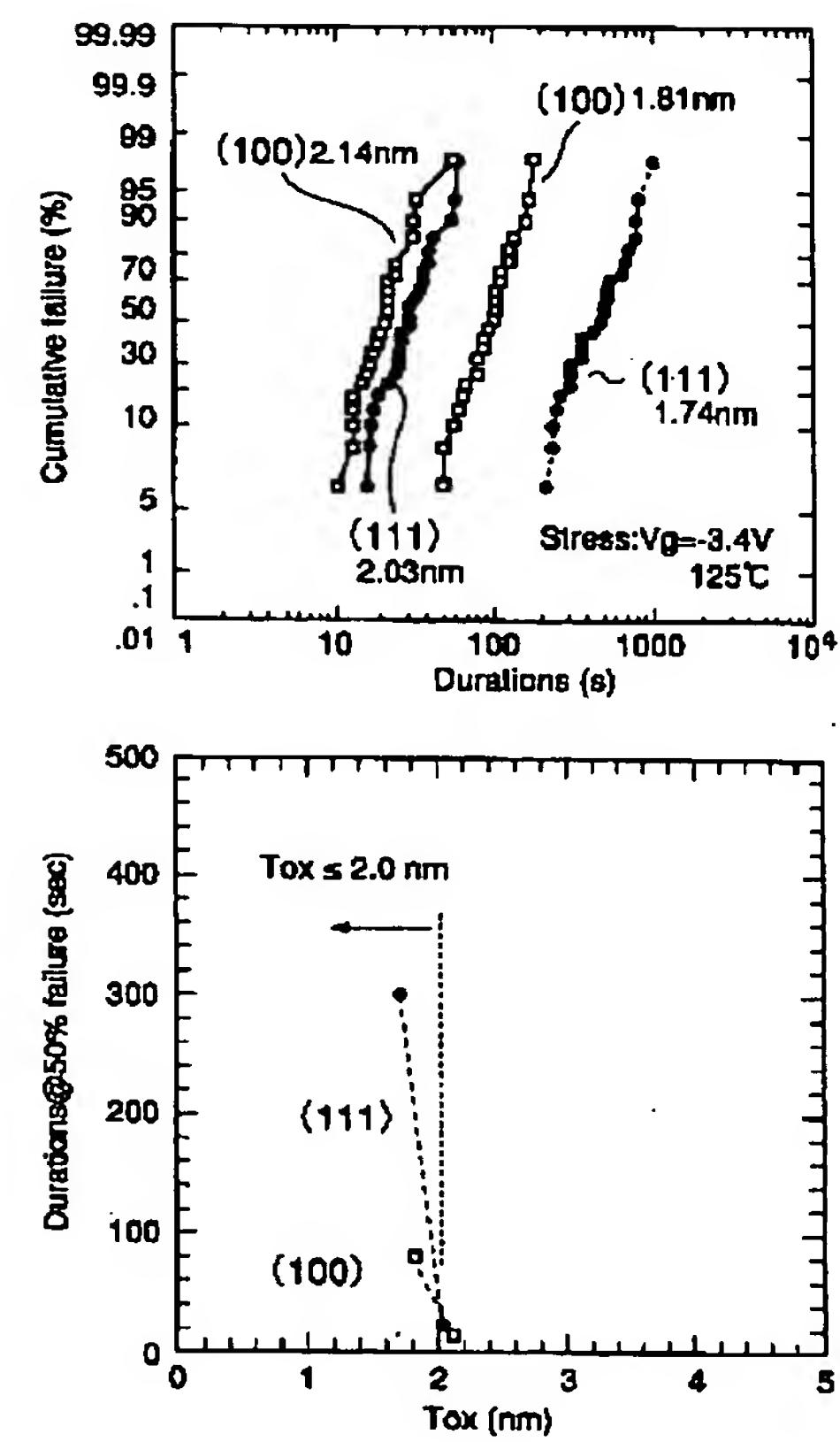
【図12】



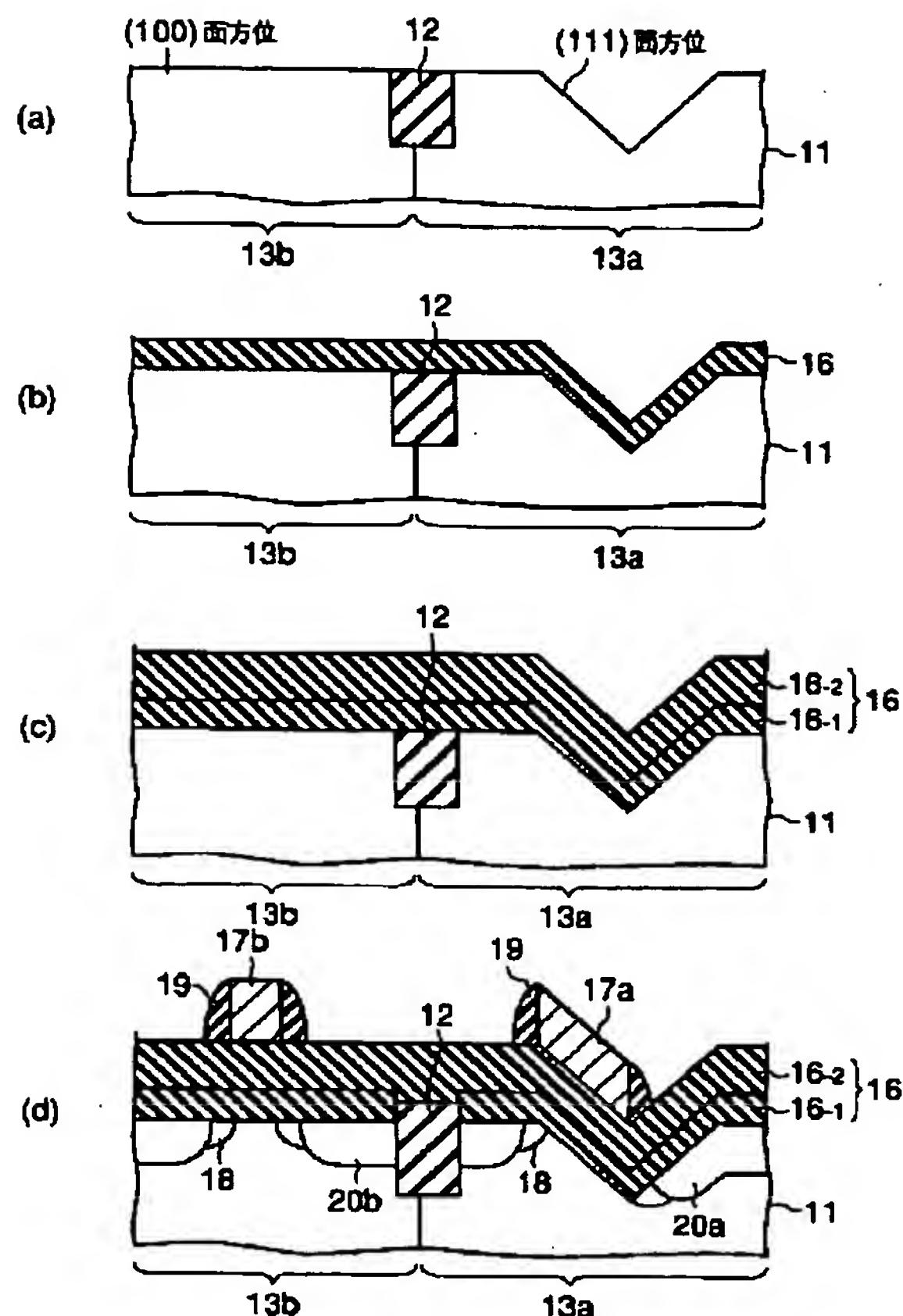
【図13】



【図18】



【図21】



フロントページの続き

Fターム(参考) 5F045 AA06 AB02 AC05 AD12 AF03
AF13 BB16
5F048 AA01 AA07 AC03 BA01 BA02
BA10 BA14 BA19 BB05 BB10
BB11 BB12 BB16 BB20 BC03
BC06 BC20 BD04 BD05 BD06
BD07 BD09 BE01 BE03 BF06
5F140 AA03 AA05 AA06 AA24 AB03
AC01 BA01 BA20 BB02 BB03
BB04 BB06 BB13 BC12 BC19
BE07 BF04 BF43 BF44 BG27
BH06 BH15 BJ06 BK02 BK21
CB01 CE20

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.